

ACTIVE MATRIX LIGHT EMITTING DIODE PIXEL STRUCTURE AND METHOD

Patent number: JP2002514320T

Publication date: 2002-05-14

Inventor:

Applicant:

Classification:

- international: G09G3/32; G09G3/20

- european: G09G3/32A

Application number: JP19980546378T 19980423

Priority number(s): US19970044174P 19970423; US19980064696
19980422; US19980064697 19980422;
WO1998US08367 19980423

Also published as:



WO9848403 (A1)

EP0978114 (A1)

Report a data error here

Abstract not available for JP2002514320T

Abstract of corresponding document: **WO9848403**

A LED pixel structure (200, 300, 400, 600, 700) that reduces current nonuniformities and threshold voltage variations in a "drive transistor" of the pixel structure is disclosed. The LED pixel structure incorporates a current source for loading data into the pixel via a data line. Alternatively, an auto zero voltage is determined for the drive transistor prior to the loading of data.

Data supplied from the **esp@cenet** database - Worldwide

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

It is Display (520) Containing Two or More Pixels. 1. Each Pixel (200) The 1st transistor by which it is the 1st transistor (250) which has gate, the source, and a drain, selection line (210) association of this gate was carried out, and this source was combined with the data line (220) (250), It is the 2nd transistor (270) which has gate source and a drain. The gate of this 2nd transistor is combined with said selection line, and the drain of this 2nd transistor is combined with VDD Rhine (295). The 2nd transistor by which the source of this 2nd transistor was combined with said drain of said 1st transistor (270), The 3rd transistor which is the 3rd transistor (240) which has gate, the source, and a drain and by which the gate of said 3rd transistor was combined with said selection line (240), It is the capacitor (280) which has the 1st terminal and, and the 2nd terminal. The capacitor by which said source of said 3rd transistor was combined with said 1st terminal of said capacitor, and said 2nd terminal of said capacitor was combined with said drain of said 1st transistor (280), It is the 4th transistor (260) which has gate, the source, and a drain. The 4th transistor by which the source of this 4th transistor was combined with said drain of said 1st transistor, and the gate of this 4th transistor was combined with said source of said 3rd transistor (260), It is the lighting (light) member (290) which has two terminals. The display whose said drain of said 4th transistor and said drain of said 3rd transistor contain the lighting member (290) combined with one of said terminals of this lighting member (520).

2. Display according to claim 1 which includes further current source (230) for combining with said data line. It is Display (520) Containing Two or More Pixels. 3. Each Pixel (600) The 1st transistor by which it is the 1st transistor (250) which has gate, the source, and a drain, this gate was combined with the selection line (210), and this source was combined with the data line (220) (250), It is the 2nd transistor (610) which has gate source and a drain. The gate of this 2nd transistor is combined with a control line (620). The front 2nd transistor by which the source of this 2nd transistor was combined with VDD Rhine (295), and the drain of this 2nd transistor was combined with said drain of said 1st transistor (610), The 3rd transistor which is the 3rd transistor (240) which has gate, the source, and a drain and by which the gate of this 3rd transistor was combined with said selection line (240), It is the capacitor (280) which has the 1st terminal and, and the 2nd terminal. The capacitor by which the source of this 3rd transistor was combined with said 1st terminal of said capacitor, and said 2nd terminal of said capacitor was combined with said drain of said 1st transistor (280), It is the 4th transistor (260) which has gate, the source, and a drain. The 4th transistor by which the source of this 4th transistor was combined with said drain of said 1st transistor, and the gate of this 4th transistor was combined with said source of said 3rd transistor (260), Display containing the lighting member (290) which is a lighting member (290) which has two terminals and by which the drain of said 4th transistor and the drain of said 3rd transistor were combined with one of said terminals of said lighting member (520).

4. Include Circuit Where Each Pixel Controls Application of Energy to Lighting Member. The step which loads data to said pixel by this circuit's being the approach of illuminating the display which has two or more pixels containing a drive transistor, and applying a current to the (a) data line, (b) Approach containing the step which memorizes said data to the capacitor combined with the drive transistor, and the step which illuminates said lighting member according to the (c) aforementioned stored data.

5. Approach according to claim 4 provided with said current according to current source.

6. It is Display (520) Containing Two or More Pixels, and Each Pixel (300) 1st Transistor by Which it is 1st Transistor (360) Which Has Gate, Source, and Drain, this Gate was Combined with Selection Line (320), and this Source was Combined with Data Line (310) (360) 1st Capacitor Which Has the 1st Terminal and 2nd

Terminal (350)

The 1st capacitor by which it came out, and it is and the drain of this 1st transistor was combined with said 1st terminal of said 1st capacitor (350), It is the 2nd transistor (365) which has gate, the source, and a drain. The 2nd transistor by which the source of this 2nd transistor was combined with VDD Rhine (390), and the gate of this 2nd transistor was combined with said 2nd terminal of said 1st capacitor (365), The 2nd capacitor which has the 1st terminal and, and the 2nd terminal (355)

Come out, are and the gate of said 2nd transistor is combined with this 1st terminal of this 2nd capacitor. The 2nd capacitor by which the source of said 2nd transistor was combined with this 2nd terminal of this 2nd capacitor (355), It is the 3rd transistor (370) which has gate, the source, and a drain. The gate of this 3rd transistor is combined with an auto-zero line (330). The 3rd transistor by which the source of this 3rd transistor was combined with said gate of said 2nd transistor, and the drain of this 3rd transistor was combined with the drain of said 2nd transistor (370), It is the 4th transistor (375) which has gate, the source, and a drain. The 4th transistor by which the gate of this 4th transistor was combined with lighting Rhine (340), and the source of this 4th transistor was combined with the drain of said 3rd transistor (375), The display containing the lighting member (380) which is a lighting member (380) which has two terminals and by which said drain of said 4th transistor was combined with one of the terminals of this lighting member.

7. It is Display (520) Containing Two or More Pixels, and Each Pixel (400) 1st Transistor by Which it is 1st Transistor (445) Which Has Gate, Source, and Drain, Said Gate was Combined with Selection Line (420), and Said Source was Combined with Data Line (410) (445) 1st Capacitor Which Has the 1st Terminal and 2nd Terminal (450)

The 1st capacitor by which it came out, and it is and the drain of this 1st transistor was combined with the 1st terminal of this 1st capacitor (450), It is the 2nd transistor (460) which has gate, the source, and a drain. The 2nd transistor by which the source of this 2nd transistor was combined with VSWP Rhine (440), and the gate of this 2nd transistor was combined with said 2nd terminal of said 1st capacitor (460), The 2nd capacitor which has the 1st terminal and, and the 2nd terminal (455)

The 2nd capacitor by which come out, it is, the gate of this 2nd transistor was combined with the 1st terminal of this 2nd capacitor, and the source of this 2nd transistor was combined with the 2nd terminal of this 2nd capacitor (455), It is the 3rd transistor (465) which has gate, the source, and a drain. The gate of this 3rd transistor is combined with an auto-zero line (430). The 3rd transistor by which the source of this 3rd transistor was combined with the gate of said 2nd transistor, and the drain of this 3rd transistor was combined with the drain of said 2nd transistor (465), Display containing the lighting member (470) which is a lighting member (470) which has two terminals and by which the drain of said 2nd transistor was combined with one of the terminals of this lighting member.

8. Illuminate Display Which Has Two or More Pixels, and Include Circuit for Each Pixel to Control Application of Energy to Lighting Member. By said circuit's being the approach of illuminating the display which has two or more pixels containing a drive transistor, and applying reference voltage to the (a) data line The step which determines the electrical potential difference of the auto-zero for a drive transistor, and by switching the (b) aforementioned reference voltage to the data electrical potential difference of said data line The approach containing the step which carries out loading of the data on a pixel, the step which memorizes said data to the capacitor combined with (c) drive transistor, and the step which illuminates said lighting member according to the (d) aforementioned stored data.

It is the circuit (300) which drives the lighting member which has 9.2 terminals. It is the 1st transistor (360) which it is to be the 1st transistor (360) which has the gate, the source, and a drain, for this gate be for connecting a selection line (320), and for this source connect a data line (310). The 1st capacitor which has the 1st terminal and 2nd terminal (350)

The 1st capacitor by which it came out, and it is and the drain of said 1st transistor was combined with the 1st terminal of this 1st capacitor (350), It is the 2nd transistor (365) which has gate source and a drain. The 2nd transistor by which the source of this 2nd transistor was combined with VDD Rhine (390), and the gate of this 2nd transistor was combined with said 2nd terminal of said 1st capacitor (365), The 2nd capacitor which has the 1st terminal and, and the 2nd terminal (355)

The 2nd capacitor by which come out, it is, the gate of said 2nd transistor was combined with the 1st terminal of this 2nd capacitor, and the source of said 2nd transistor was combined with the 2nd terminal of this 2nd capacitor (355), It is the 3rd transistor (370) which has gate, the source, and a drain. It is to carry out auto-zero

line (330) association of said gate of this 3rd transistor. The 3rd transistor by which the source of this 3rd transistor is combined with the gate of said 2nd transistor, and the drain of this 3rd transistor is combined with said drain of said 2nd transistor (370), It is the 4th transistor (375) which has gate, the source, and a drain. The gate of this 4th transistor is what is combined with lighting Rhine (340). The circuit containing the 4th transistor (375) which it is to combine the source of this 4th transistor with the drain of said 3rd transistor, and combine the drain of this 4th transistor with a lighting member (300).

10. With Display Controller (510) Display Combined with Said Display Controller (520), Are a ***** system (500) and said display contains two or more pixels. This pixel (300) Are the 1st transistor (360) which has the gate, the source, and a drain, and this gate is combined with a selection line (320). The 1st transistor by which this source was combined with the data line (310) (360) The 1st capacitor which has the 1st terminal and 2nd terminal (350)

The 1st capacitor by which it came out, and it is and the drain of said 1st transistor was combined with the 1st terminal of said 1st capacitor (350), It is the 2nd transistor (365) which has gate, the source, and a drain. The 2nd transistor by which the source of this 2nd transistor was combined with VDD Rhine (390), and the gate of this 2nd transistor was combined with said 2nd terminal of said 1st capacitor (365), The 2nd capacitor which has the 1st terminal and, and the 2nd terminal (355)

The 2nd capacitor by which come out, it is, the gate of said 2nd transistor was combined with the 1st terminal of this 2nd capacitor, and the source of this 2nd transistor was combined with the 2nd terminal of this 2nd capacitor (355), It is the 3rd transistor (370) which has gate, the source, and a drain. The gate of this 3rd transistor combines an auto-zero line (330). The 3rd transistor by which the source of this 3rd transistor combines with the gate of said 2nd transistor, and the drain of this 3rd transistor is combined with the drain of said 2nd transistor (370), It is the 4th transistor (375) which has gate, the source, and a drain. The 4th transistor by which the gate of this 4th transistor was combined with lighting Rhine (340), and the source of this 4th transistor was combined with the drain of said 3rd transistor (375), System by which it is the lighting member (380) which has two terminals, and the drain of said 4th transistor contains the lighting member (380) combined with one of said terminals of said lighting member (500).

It is Display (520) Containing Two or More Pixels. 11. Each Pixel (700) The 1st transistor by which it is the 1st transistor (710) which has gate, the source, and a drain, this gate was combined with the selection line (770), and this source was combined with the data line (760) (710), The 2nd transistor which is the 2nd transistor (720) which has gate, the source, and a drain and by which the drain of said 1st transistor was combined with the gate of this 2nd transistor (720), The register with which it is the register (750) which has two terminals, and the source of said 2nd transistor was combined with one of the terminals of this register (750), Display containing the lighting member (740) which is a lighting member (740) which has two terminals and by which the drain of said 2nd transistor was combined with one of the terminals of this lighting member (520).

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

Active-matrix light emitting diode pixel structure and approach This application asserts the U.S. temporary application 60th / profits of No. 044 or 174 for which it applied on April 23, 1997. The contents are used for this specification.

Under contract-number F33615-96-2-1944, this invention gained support of the U.S. Government and was made. The U.S. Government has a clear (certain) right in this invention.

This invention relates to active-matrix light emitting diode pixel structure. Furthermore, this invention relates to the approach of operating the pixel structure of reducing current heterogeneity and threshold voltage change, and said active-matrix light emitting diode pixel structure, in the "drive transistor" of pixel structure at a detail. Background of an indication The matrix display is considerably known in the technique concerned, and as drawing 1 shows, a pixel is illuminated using matrix addressing (illuminate). The typical display 100 contains two or more pictures or display material (pixel) 160 which have been arranged at the matrix (a low and column). The display has incorporated the column data generator 110 and the low selection generator 120. Working and each low are started in order through the roller in 130, and are started by the pixel which corresponds using the corresponding column line 140. In a passive matrix display, although each one low of every of a pixel is illuminated in order, first, with data, each low of a pixel continues and is loaded with an active matrix display.

For example, use of a portable display called a laptop computer increases, and they are various Display Technologies (for example, liquid crystal display (LCD)).

And the light emitting diode (LED) display has been adopted. LED is luminescence equipment and the important difference between these two techniques is having an advantage on power effectiveness rather than nonluminescent equipments (LCD etc.). In LCD, the back light of fluorescence is ON in the whole persistence time which a display is using, and even since a pixel "is turned off" off, it consumes power. On the other hand, an LED (or OLED) display saves power by illuminating only the started pixel and not illuminating an "off-" pixel.

Although the display which adopted OLED pixel structure can reduce power consumption, such pixel structure may show heterogeneity to reinforcement and it originates in the threshold voltage drift of the drive transistor by manufacture, and transistor heterogeneity. However, it turned out that the brightness of OLED is proportional to the current which passes OLED.

Therefore, the pixel structure of reducing the current heterogeneity and threshold voltage change in the "drive transistor" of pixel structure, and the approach of accompanying are required for the technique concerned. Outline of invention With 1 operation gestalt of this invention, the current source is incorporated into LED (OLED) pixel structure, and the current heterogeneity in the drive transistor of pixel structure and threshold voltage change are reduced. It is combined with the data line, and the fixed current is programmed first there, and current sources are collected.

A fixed current is attained by applying reference voltage first by the alternative operation gestalt in the auto-zero phase which determines and memorizes an auto-zero (auto zero) electrical potential difference. The electrical potential difference of auto-zero explains the threshold voltage of a drive transistor effectively. Next, in order that the data electrical potential difference relevant to the same reference voltage may illuminate a pixel, it is applied now.

With other operation gestalten, the register is incorporated in LED (OLED) pixel structure, and the sensibility of

dependence of the current which passed OLED to the threshold voltage of a drive transistor is lowered. Easy explanation of a drawing The contents of instruction of this invention can be easily understood by taking the following detailed explanation into consideration in relation to an accompanying drawing.

Drawing 1 is the block diagram of a matrix addressing interface.

Drawing 2 is the circuit diagram of the active-matrix LED pixel structure of this invention.

Drawing 3 is the circuit diagram of the operation gestalt of an alternative of the active-matrix LED pixel structure of this invention.

Drawing 4 is the circuit diagram of the operation gestalt of other alternatives of the active-matrix LED pixel structure of this invention.

Drawing 5 is the block diagram of the system using the display which has two or more active-matrix LED pixel structures of this invention.

Drawing 6 is the circuit diagram of the operation gestalt of an alternative of the active-matrix LED pixel structure of drawing 2.

Drawing 7 is the circuit diagram of the operation gestalt of an alternative of the active-matrix LED pixel structure of this invention.

In order to show the same member common to drawing in order to make an understanding easy, the same reference figure was used in the possible place.

Detailed explanation Drawing 2 shows the circuit diagram of the active-matrix LED pixel structure 200 of this invention. In a desirable operation gestalt, active-matrix LED pixel structure is performed using amorphous or the thin film transistor (TFT) which is a transistor manufactured using polish recon, for example. Similarly, in the desirable operation gestalt, active-matrix LED pixel structure has incorporated organic light emitting diode (OLED). Although this pixel structure is performed using a thin film transistor and an organic light emitting diode, it must be understood that this invention can be performed using other types of a transistor and a light emitting diode. For example, if threshold heterogeneity is ******(ed) as the transistor manufactured using other ingredients mentioned above, this invention can be used in order to offer a fixed current through a lighting member.

Although this invention is shown below as a single pixel or pixel structure, he has to understand that a pixel can be used with other pixels in order to form a display (in for example, array). Furthermore, although lower drawing shows a specific transistor configuration, it must be understood that the source of a transistor corresponds to an electrical-potential-difference sign.

Drawing 2 is described. The pixel structure 200 contains three PMOS transistors 240, 250, and 260, the NMOS transistor 270, a capacitor 280, and LED (OLED)290 (optical member). The selection line 210 is combined with the gate of transistors 240, 250, and 270. A data line is combined with the source of a transistor 250, and +VDD Rhine is combined with the drain of a transistor 270. One electrode of OLED290 is combined with the drain of transistors 240 and 260. The source of a transistor 240 is combined with the gate of a transistor 260, and one terminal of a capacitor 280. Finally, the whole of one terminal of the drain of a transistor 250, the source of a transistor 270, the source of a transistor 260, and a capacitor 280 is combined with one.

This pixel structure 200 offers a uniform current drive under a big threshold voltage (V_t) heterogeneity existence. In other words, it is desirable to cross OLED, to maintain a uniform current and to secure homogeneity in the reinforcement of a display.

In a detail, OLED pixel structure operates in two phases, a load-data phase, and a continuation lighting phase more.

Load-data phase Data may be loaded when the pixel structure 200 makes the suitable selection line 210 drive. That is, if a selection line is set to a "low", a transistor P4 (240) will be turned "ON" and the electrical potential difference by the side of the anode plate of OLED290 will be sent to the gate of a transistor P2 (260). To coincidence, a transistor P1 (250) is also turned "ON" and the fixed current from a data line 220 flows in both transistors P2 (260) and OLED290. That is, a transistor 260 is turned ON in order to lower the current driven according to the current source 230.

The current source 230 which drives a data line is programmed with external data. The gate to the source electrical potential difference of a transistor 260 (drive transistor) becomes settled on an electrical potential difference required since a current is driven next. A transistor N1 (270) is turned "OFF" and power-source +VDD is separated from OLED290 by coincidence. The fixed current source 230 also carries out the self-

adapting of the electrical potential difference from the source to the gate, fits a fixed exaggerated drive value (electrical potential difference) to a transistor 260, and compensates threshold change of poly-Si TFT 260. An exaggerated drive electrical potential difference shows data. In order, data are appropriately memorized on storage capacitor CS280. Loading or the light cycle for data is completed now.

Continuation lighting phase If a selection line is set to "yes", both the transistors of P1 (250) and P4 (240) will be turned "OFF", and a transistor N1 (270) will be turned "ON." Although the supply voltage of a transistor 260 may change slightly, the electrical potential difference from the source of a transistor 260 to the gate controls the current level in a lighting cycle. VSG of the transistor 270 which crosses a capacitor 280 cannot change immediately. Thus, the gate voltage of a transistor 260 follows a source electrical potential difference, and the electrical potential difference from the source to the gate is maintained through whole loading and a whole lighting phase. The electrical-potential-difference resolution required of the leakage current of poly-Si TFT and the gray-scale brightness of OLED determines the size of a storage capacitor required in order to hold the effective data of a frame time. In a desirable operation gestalt, a capacitor is in the order of 0.25pf(s). That is, although the current leakage of a transistor 260 is taken into consideration, probably, a capacitor will be large enough. Lighting phase pixel actuation is completed now.

Each data / column line 220 need to care about the point of having the fixed current source 230 by which itself was programmed. The current source by which consecutiveness to a data line was programmed during the lighting phase is sent, the following low which are all pixels is loaded, and the low front pixel is carrying out all frame time actuation in the lighting phase. Thus, the pixel structure of drawing 2 needs only one NMOS transistor and three PMOS transistors which have Rhine of 2.5. (The VDD electrical-potential-difference supply in which it is shared with an adjoining pixel and deals, a selection line, data line current source).

The example in which drawing 6 is performed by the pixel structure of drawing 2 having all PMOS transistors as an alternative is shown, and whichever it uses [of only PMOS or an NMOS process] it, it is economical. The NMOS transistor N1 is permuted with PMOS P3 transistor 610. However, additional Rhine (control line) It is combined with the gate of a transistor 610, and 620 carries out addressing of the additional PMOS transistor, has it, and needs a total of 3.5 Rhine (namely, electrical-potential-difference supply of the addition for controlling the additional PMOS gate).

In short, by supplying a fixed current source through OLED290 again according to the self-adjustment / tracking device on VSG of a transistor 260, drawing 2 and the pixel structure of drawing 6 are designed like, in order to compensate threshold change of both poly-Si TFT and OLED. Drawing 2 and the pixel structure of drawing 6 can actually attain the suitable actuation which has high voltage supply in the midst of both loading and a lighting phase. Such pixel structures can be performed in order to design the OLED display of the high quality which has life time gray-scale homogeneous [of both OLED or pixel poly-Si TFT / unstably good nevertheless], and high.

Drawing 3 shows the operation gestalt of an alternative of this active-matrix pixel structure. In a substitute operation gestalt, a data line electrical potential difference does not need an electrical-potential-difference current repeater like operation of the current source which it was changed into the current within pixel structure, and was mentioned above by drawing 2 and drawing 6.

Drawing 3 is described. The pixel structure 300 contains four PMOS transistors (360, 365, 370, 375), two capacitors 350 and 355, and LED (OLED)380. The selection line 320 is combined with the gate of a transistor 360. A data line 310 is combined with the source of a transistor 360, and +VDD Rhine is combined with one terminal of the source of a transistor 365, and a capacitor 355. The auto-zero line 330 is combined with the gate of a transistor 370, and lighting Rhine is combined with the gate of a transistor 375. One electrode of OLED280 is combined with the drain of a transistor 375. The source of a transistor 375 is combined with the drain of transistors 365 and 370. The drain of a transistor 360 is combined with one terminal of a capacitor 350. Finally, all of one terminal of the gate of a transistor 365, the source of a transistor 370, and a capacitor 350 and one terminal of a capacitor 355 are combined.

Drawing 3 shows the pixel structure 300 of operating in three phases, more to a detail. That is, they are 1 auto-zero phase, 2 load-data phase, and 3 lighting phase.

Auto-zero If the auto-zero line 330 and lighting Rhine 340 are set to a "low", transistors P2 (375) and P3 (370) change to "ON", and the electrical potential difference by the side of the drain of a transistor P1 (365) will be sent to the gate, and will be temporarily connected with diode. A data line 310 is set to "reference voltage", and

the selection line 320 is set to a "low." Although reference voltage can be set to arbitration, it must be larger than the highest data electrical potential difference.

Next, lighting Rhine 340 is set to "yes" and transistor P2 375 are turned "OFF." Now, it becomes settled and has a pixel circuit in the threshold of transistor P1 365 (drive transistor), and it memorizes the electrical potential difference (auto-zero electrical potential difference) which is a difference between the reference voltage of a data line, and the threshold voltage of transistor P1 365 of a capacitor CC 350. By this, VSG of a transistor 365 is set to the threshold voltage of a transistor 365 at gate voltage or twist accuracy. This offers a fixed exaggerated drive electrical potential difference regardless of threshold voltage change on a transistor P1 (365) next. Finally, the auto-zero line 330 is set to "yes", and insulates the gate of transistor P1 365. The purpose of auto-zero is attained after this.

Load-data phase The selection line was set to the end of an auto-zero phase by the "low", and the data line was "reference voltage." Now, a data line 310 is set to a data electrical potential difference. A data electrical potential difference is sent through a capacitor CC 350 on the gate of a transistor P1 (365). Next, a selection line is set to "yes." Thus, VSG of a transistor 365 provides a transistor 365 with a fixed exaggerated drive electrical potential difference, in order to offer fixed current level. This ends a load-data phase and a pixel becomes lighting.

Continuation lighting data phase in a DESEREKUTO (it removes from deselect and selection) low phase If a data electrical potential difference is memorized on the gate of a transistor P1 (365), lighting Rhine 340 will be set to a "low" and transistor P2 375 will be turned "ON." The current supplied by transistor P1 365 can flow now through OLED380. In short, a transistor 365 functions like a fixed current source. A lighting phase is completed now.

Other operation gestalten of the alternative of this active-matrix pixel structure with drawing 4 are shown. In a substitute operation gestalt, a data line electrical potential difference is transformed into a current among pixel structures, and as mentioned above by drawing 2 of a current source, and 6, it does not need an electrical-potential-difference current repeater like operation by the current source again.

Drawing 4 is described. The pixel structure 400 contains three PMOS transistors (445, 460, 465), two capacitors 450 and 455, and LED (OLED)470. The selection line 420 is combined with the gate of a transistor 445. A data line 410 is combined with the source of a transistor 445, and VSWP Rhine is combined with one terminal of the source of a transistor 460, and a capacitor 455. The auto-zero line 430 is combined with the gate of a transistor 465. One electrode of OLED470 is combined with the drain of transistors 465 and 460. The drain of a transistor 445 is combined with one terminal of a capacitor 450. Finally, all of one terminal of the gate of a transistor 460, the source of a transistor 465, and a capacitor 450 and one terminal of a capacitor 455 are combined.

Drawing 4 shows the pixel structure 400 of operating in three phases, more to a detail. That is, they are 1 auto-zero phase, 2 load-data phase, and 3 lighting phase.

Auto-zero (based on VSWP) phase As for VSWP (electrical potential difference which switches supply), only an amount "deltaV" is set to a "ROWA (low lower) electrical potential difference." Here, a ROWA electrical potential difference is chosen as a little current (being dependent on an OLED property by the order of NANOAMPU) passed little by little in OLED470. A ROWA electrical potential difference is a floating node (combined without the dilution by f through the gate of transistor P1(460) VG (P1).) between CC (450) and the transistors P4 (445) which were combined with the capacitor. Next, the "low" set of the auto-zero line 430 is carried out. Transistor P1 (460)

A (drive transistor) is temporarily connected as diode by closing a transistor P3 (465). The selection line 420 is set to a "low" next, and "reference voltage" is applied to a data line 410. Reference voltage must set to arbitration however be larger than the highest data electrical potential difference. A pixel circuit can become settled in the threshold of transistor P1 460 now. Finally, the auto-zero line 430 is set to "yes" next, and insulates the gate of transistor P1 460. The effectiveness of an auto-zero phase is memorizing an electrical potential difference (auto-zero electrical potential difference) to a store at a capacitor CC 450, and it expresses the difference between data line top reference voltage and the transistor threshold voltage of P1 460. This completes an auto-zero phase.

Load-data phase The selection line was set to the "low" by the end of the phase of auto-zero, and the data line was "reference voltage." Next, a data line is switched from reference voltage to the ROWA electrical potential difference (data electrical potential difference) on which the change in data is referred to at data. In order, a data

electrical potential difference (data input) is loaded, and is combined with the gate of transistor P1 460 through capacitors 450 and 455. The electrical potential difference VSG of a transistor 460 provides a transistor P1 (460) with a fixed exaggerated drive electrical potential difference, and drives OLED470 current to it. That is, a data electrical potential difference is transformed into an exaggerated drive electrical potential difference on transistor P1 460. Since the electrical potential difference memorized on a capacitor 450 caused the threshold voltage of transistor P1 460, the whole exaggerated drive electrical potential difference is independent of the threshold voltage of a transistor P1 now. The selection line 420 is set to "yes" next. This completes a load-data phase.

Data are continuously illuminated during a DESEREKU trough phase. An exaggerated drive electrical potential difference to insulate except for capacity coupling now and for the gate of transistor P1 460 drive OLED by completion of a data load phase, is memorized by the capacitor CS 455. Next, VSWP is returned to the first Hire (high higher) electrical potential difference (lighting electrical potential difference). Then, VSWP goes up and sufficient electrical potential difference which drives OLED for lighting exists now. That is, if the selection line 420 is set to "yes", both transistors P3 (465) and P4 (445) will be changed at "OFF", and a data electrical potential difference will be memorized on VSG of a transistor 460 like [former]. The electrical potential difference VSG (P1) from the source to the gate is similarly maintained through the whole lighting phase, and it means that the current level which lets OLED pass is fixed. A lighting cycle is completed now.

In short, drawing 3 indicates the pixel structure which uses four PMOS transistors and 3, and one coupling capacitor that has 1/2 line. (As for an auto-zero line and VDDH electrical-potential-difference supply, both are sharable) . Drawing 4 indicates the pixel structure which used only three PMOS transistors and 2, and one coupling capacitor that has 1/2 line. (VSWP which switches a power source uses with an adjoining pixel in common) the two aforementioned (2) pixel structures where poly-Si TFT and threshold change of OLED are suppliable with both such two pixel structures with lighting, and the auto-zero and the request ring current device on VSG (P1) -- the inside of the polish recon NMOS -- and it can perform in an amorphous NMOS design.

Drawing 3 and two (2) pixel structures of drawing 4 can be performed in order to design OLED of high quality which has an unstable gray-scale [good nevertheless] homogeneous and long life in OLED or pixel poly-Si TFT.

Drawing 7 shows the circuit diagram of the active-matrix LED pixel structure 700 of this invention. With a desirable operation gestalt, active-matrix LED pixel structure is performed using a thin film transistor (TFT) (for example, transistor manufactured using polish recon or an amorphous silicon). Similarly, active-matrix LED pixel structure has incorporated organic light emitting diode (OLED) with the desirable operation gestalt. Although this pixel structure is performed using a thin film transistor and an organic light emitting diode, it must be understood that this invention can be performed using other types of a transistor and a light emitting diode.

This pixel structure 700 offers a uniform current drive under a big threshold voltage (V_t) heterogeneity existence. If it puts in another way, it is desirable to maintain a uniform current through OLEDs, it will have and the homogeneity in display reinforcement will be secured.

Drawing 7 is described. The pixel structure 700 contains two PMOS transistors 710 and 720, a capacitor 730, a register 750, and LED (OLED)740 (optical member). The selection line 770 is combined with the gate of a transistor 710. The data line 760 is combined with the source of a transistor 710. One terminal of a register 750 is combined with the source of a transistor 720, and one electrode of OLED740 is combined with the drain of a transistor 720. Finally, all of the gate of the drain of a transistor 710 and a transistor 720 and one terminal of a capacitor 730 are combined.

When a low including pixel structure is chosen more as a detail as an active low, the logical "yes" level of the selection line 770 turns ON a transistor M1710, and a capacitor C730 is charged from a data line 760 to an electrical potential difference V_g . After DESEREKUTO [a low / in the selection line 770 / "low" level], a transistor M1 is turned OFF and the electrical potential difference of a capacitor 730 is memorized for frame time. Since an electrical potential difference appears in the gate of transistor M2 720, it sets a current so that OLED740 located in through and a drain may also pass through a transistor 720.

Furthermore, an important thing is that a register 750 is performed with this pixel structure. It is combined with the source of a transistor 720 and a register functions as a feedback member of minus. Although a transistor will

tend to pass many currents by OLED if each drive transistor has unusually low threshold voltage, an additional current causes and has the sag of the addition which crosses a register 750, and reduces a current. Complementary effect takes place to the drive transistor which has unusually high threshold voltage. The effect of [whole] is reducing the heterogeneity of a current. It turned out that a register has very good resistance homogeneity and can generally be formed from the threshold voltage homogeneity attained by TFT. Although one reason is very sensitive to the trap consistency of a silicon ingredient with active TFT threshold voltage, resistance of the doped layer which is used in a register is not so sensitive to a trap consistency. Measured value is the range which the percentage variation of resistance crosses a polish recon display wafer, shows a very small thing, and changes resistance, and changing smoothly unlike a transistor threshold is expected. The current which passes through OLED740 determines brightness. However, when a pixel was performed using TFT, it was observed that the threshold voltage of TFT can also change over above LIFE. In addition, probably, there is initial heterogeneity of TFT threshold voltage. Since an electrical potential difference does not have strong effect about the current with which a threshold is decided through OLED, it is necessary to care about the point that such heterogeneity about a transistor 710 is not a problem. On the other hand, the change in the threshold voltage of the drive transistor 720 affects a current directly through OLED.

IOLDE which passes through OLED in a current and this pixel structure can be expressed more to a detail as follows.

$$I_{OLED} = \frac{K'}{2} \frac{W}{L} (V_g - V_t - I_{OLED} R)^2 \quad (1)$$

As for K' , threshold voltage and V_g are the electrical potential differences from a data line, and the proper mutual-conductance parameter of a transistor M2, and W and L have [the width of face and die length and V_t / a register R750] the value of 1M with a desirable operation gestalt. However, resistance can be 100K-10M according to drive transistor characteristics. It was observed that this pixel structure can reduce current variation to one third of fluctuation having no register of this invention described below and possible.

A detail is equipped more with the register combined with the source of a transistor 720, and it is a threshold.

値電圧変化 $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$ に対する、ダイオードを通した電流の規準化された

The sensibility is as follows.

$$-2/(V_g - V_t + I_{OLED} R). \quad (2)$$

Although it is useful to increase gate voltage V_g as much as possible, it has the limitation that a transistor 720 must remain in saturation. By crossing a register (IOLDER) and bringing about a voltage drop, the sensibility to threshold voltage change can be reduced what [below] can be attained [having no register and]. Finally, a term (IOLDER) cannot become larger than $(V_g - V_t)$. as for the reason, the transistor 720 was turned OFF for such a result -- it is because thing semantics is carried out. Therefore, the greatest reduction in the sensibility which can be attained by placing a register in the source of a transistor 720 is the factor of 2.

However, placing a register into the source admits that the width of face W of a transistor 720 increases, and such an increment reduces the standard deviation of threshold voltage. Since it can be increased by the fixed maximum gate voltage and W , many profits are pulled out from the statistical reduction in σV_t . Thus, by putting a register on the source of a transistor 720, the reduction in current variation is the combination of the effect of following (1) and (2).

を通して達成される。即ち (1) 感度を閾値変化 $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$ に低

They are a decrease (it restricts to the maximum profits on the theory which is 2x or 50% of reduction), and reduction (there is no limitation except for geometric and capacitance constraint) of the (2) threshold change σV_t itself.

Drawing 5 shows the block diagram of the system 500 using the display 520 which has two or more active-matrix LED pixel structures 200,300,400,600 of this invention, or 700. A system 500 includes a display controller 510 and a display 520.

A display controller can be carried out more by the detail as a general purpose computer, and the computer

concerned is a central processing unit CPU 512, memory 514, and two or more I/O devices 416 (for example, it has a mouse, the keyboard, the store, for example, the MAG, and the driving gear of optics, the modem, etc.). The software instruction made to start a display 520 can be loaded to memory 514, and can be executed by CPU512.

A display 520 contains the pixel interface 522 and two or more pixels (the pixel structure 200,300,400,600 or 700). The pixel interface 522 includes a circuit required since a pixel 200,300,400,600 or 700 is driven. For example, the pixel interface 522 may be a matrix addressing interface shown by drawing 1.

Thus, a system 500 can be performed as a laptop computer. Instead, a display controller 510 can perform in other approaches, and they are a microcontroller, the integrated circuit (ASIC) of application specification or hardware, and software instruction set doubling. In short, a system 500 can be performed within the larger system incorporating the display of this invention.

Although this invention was indicated using the PMOS transistor, it must be understood that this invention can be performed using an NMOS transistor.

In addition, the related electrical potential difference is made reverse there. That is, OLED is now combined with the source of an NMOS drive transistor. Since OLED is turned over, the cathode of OLED must be made from a transparent ingredient.

Although the various operation gestalten incorporating the contents of instruction of this invention were shown and being indicated in the detail on these specifications, this contractor can devise many other various operation gestalten which incorporated these contents of instruction easily.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

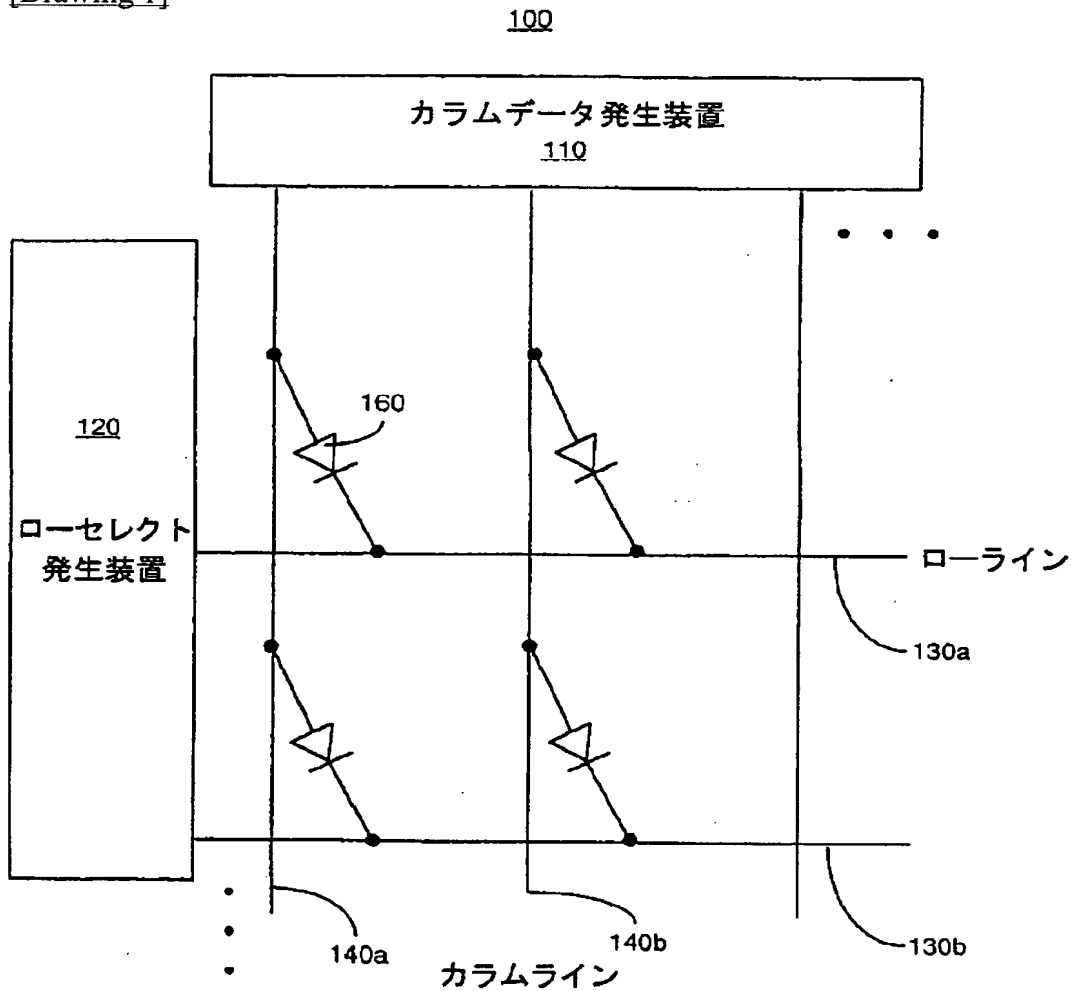


FIG. 1

[Drawing 2]

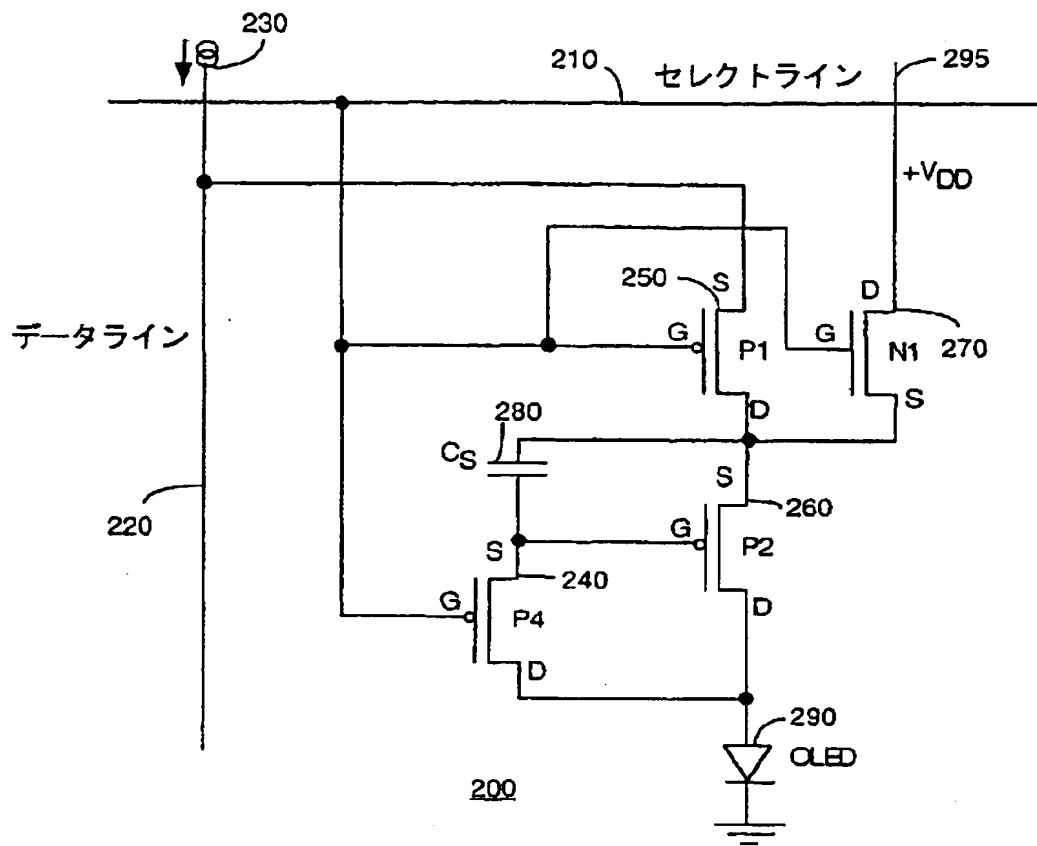
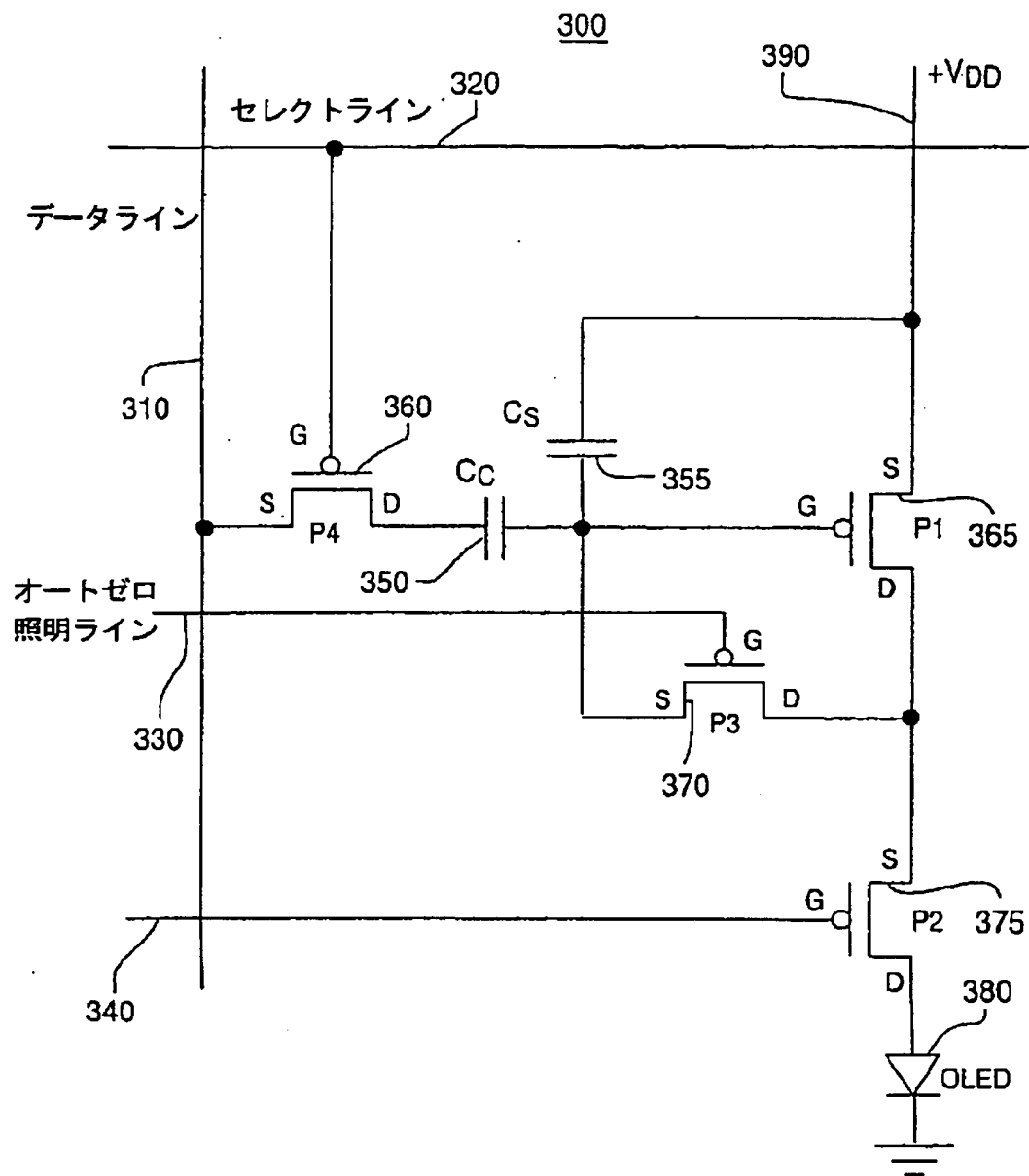


FIG. 2

[Drawing 3]

**FIG. 3**

[Drawing 4]

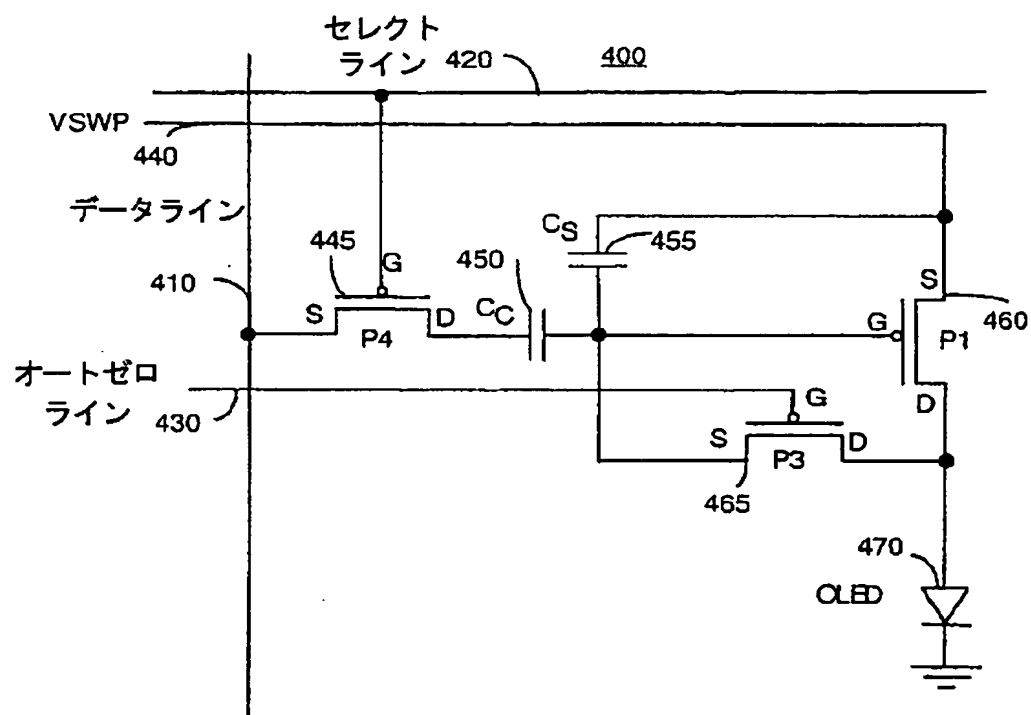


FIG. 4

[Drawing 5]

500

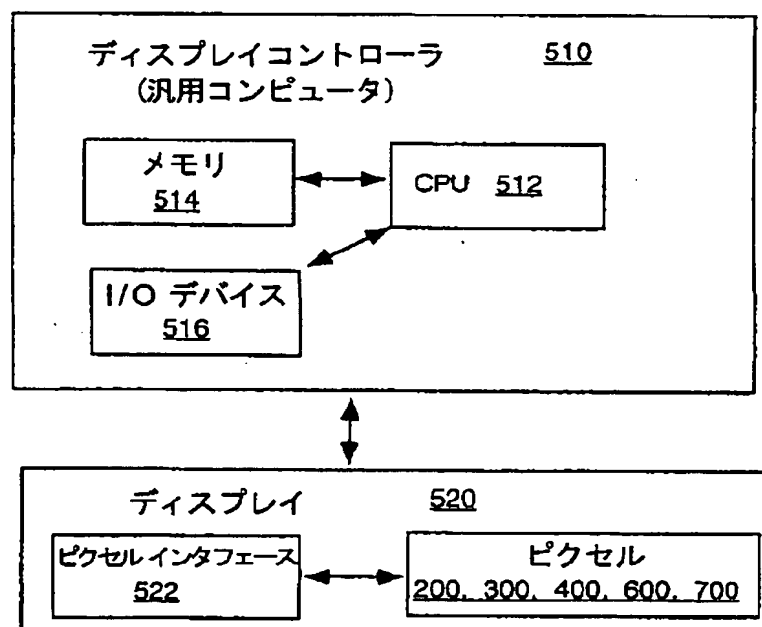


FIG. 5

[Drawing 6]

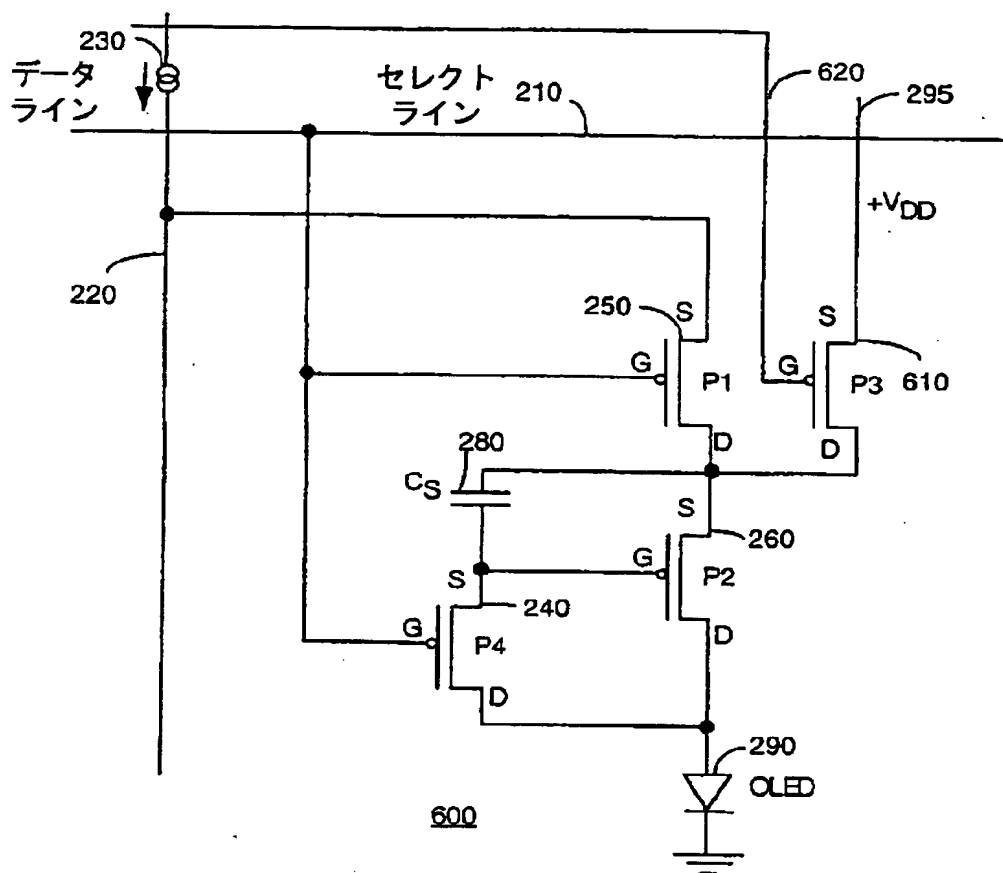


FIG. 6

[Drawing 7]

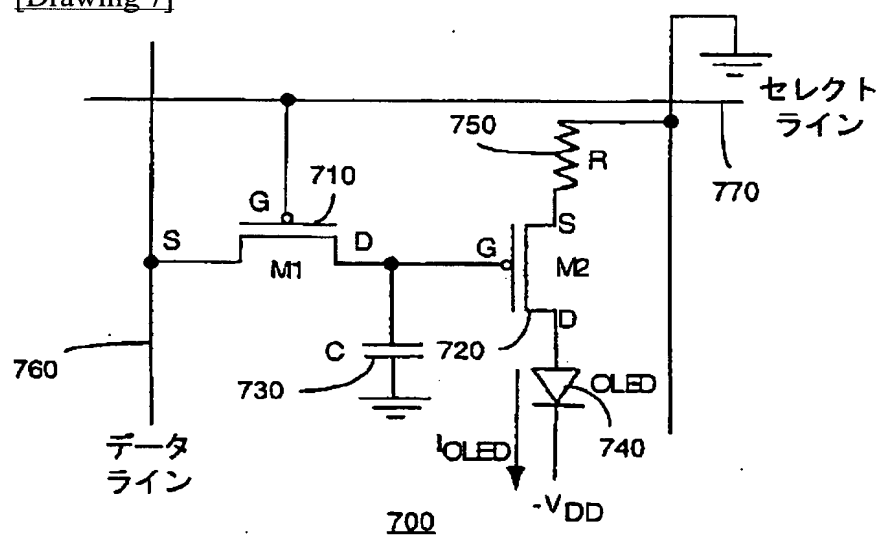


FIG. 7

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-514320

(P2002-514320A)

(43)公表日 平成14年5月14日(2002.5.14)

(51)Int.Cl.⁷

G 0 9 G 3/32

3/20

識別記号

6 2 4

F I

G 0 9 G 3/32

3/20

テマコード* (参考)

A

6 2 4 B

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21)出願番号 特願平10-546378

(86) (22)出願日 平成10年4月23日(1998.4.23)

(85)翻訳文提出日 平成11年10月22日(1999.10.22)

(86)国際出願番号 PCT/US98/08367

(87)国際公開番号 WO98/48403

(87)国際公開日 平成10年10月29日(1998.10.29)

(31)優先権主張番号 60/044, 174

(32)優先日 平成9年4月23日(1997.4.23)

(33)優先権主張国 米国 (US)

(31)優先権主張番号 09/064, 696

(32)優先日 平成10年4月22日(1998.4.22)

(33)優先権主張国 米国 (US)

(71)出願人 サーフ コーポレイション

アメリカ合衆国 ニュー ジャージー州

プリンストン シーエヌ-5300 ワシント

ン ロード 201

(72)発明者 ドーソン, ロビン, マーク, アドリアン

アメリカ合衆国 ニュー ジャージー州

プリンストン コパーマイン ロード

184

(72)発明者 ケイン, マイケル, ギリス

アメリカ合衆国 ニュー ジャージー州

スキルマン ロビン ドライヴ 44

(74)代理人 弁理士 山田 行一 (外1名)

最終頁に続く

(54)【発明の名称】 アクティブマトリックス発光ダイオードピクセル構造及び方法

(57)【要約】

ピクセル構造の「駆動トランジスタ」の電流不均一性及び閾値電圧変化を低減するLEDピクセル構造(200、300、400、600、700)を開示する。LEDピクセル構造は、電流源を組み込んでおり、データをピクセルにデータラインを通してロードする。代わりに、オートゼロの電圧は、駆動トランジスタデータのロードに先立って決定される。

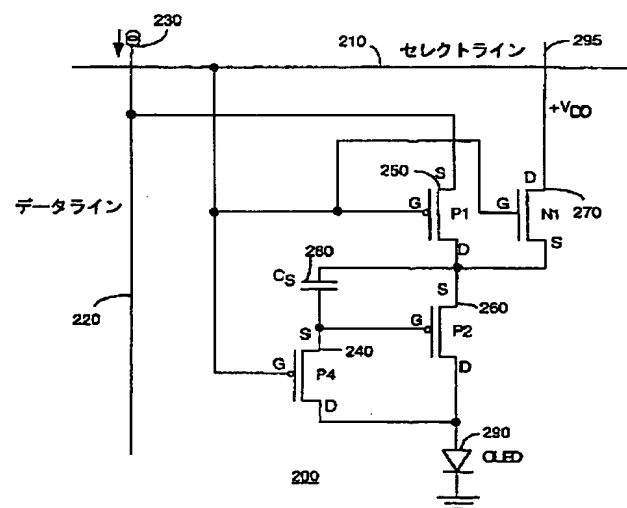


FIG. 2

(2)

【特許請求の範囲】

1. 複数のピクセルを含むディスプレイ（520）であって、各ピクセル（200）が、

ゲート、ソース及びドレインを有する第1のトランジスタ（250）であって、該ゲートがセレクトライン（210）結合され、該ソースがデータライン（220）に結合された第1のトランジスタ（250）と、

ゲートソース及びドレインを有する第2のトランジスタ（270）であって、該第2のトランジスタのゲートが前記セレクトラインに結合され、該第2のトランジスタのドレインがV_{DD}ライン（295）に結合され、該第2のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合された第2のトランジスタ（270）と、

ゲート、ソース及びドレインを有する第3のトランジスタ（240）であって、前記第3のトランジスタのゲートが前記セレクトラインに結合された第3のトランジスタ（240）と、

第1のターミナル及び第2のターミナルを有するコンデンサ（280）であって、前記第3のトランジスタの前記ソースが前記コンデンサの前記第1のターミナルに結合され、前記コンデンサの前記第2のターミナルが前記第1のトランジスタの前記ドレインに結合されたコンデンサ（280）と、

ゲート、ソース及びドレインを有する第4のトランジスタ（260）であって、該第4のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合され、該第4のトランジスタのゲートが、前記第3のトランジスタの前記ソースに結合された第4のトランジスタ（260）と、

2つのターミナルを有する照明（light）部材（290）であって、前記第4のトランジスタの前記ドレイン及び前記第3のトランジスタの前記ドレインが、該照明部材の前記ターミナルのうちの1つに結合している照明部材（290）と、
を含むディスプレイ（520）。

2. 前記データラインに結合するための電流源（230）を更に含む請求項1記

(3)

載のディスプレイ。

3. 複数のピクセルを含むディスプレイ (520) であって、各ピクセル (600) が、

ゲート、ソース及びドレインを有する第1のトランジスタ (250) であって、該ゲートがセレクトライン (210) に結合され、該ソースがデータライン (220) に結合された第1のトランジスタ (250) と、

ゲートソース及びドレインを有する第2のトランジスタ (610) であって、該第2のトランジスタのゲートがコントロールライン (620) に結合され、該第2のトランジスタのソースがV_{DD}ライン (295) に結合され、該第2のトランジスタのドレインが前記第1のトランジスタの前記ドレインに結合された前第2のトランジスタ (610) と、

ゲート、ソース及びドレインを有する第3のトランジスタ (240) であって、該第3のトランジスタのゲートが前記セレクトラインに結合された第3のトランジスタ (240) と、

第1のターミナル及び第2のターミナルを有するコンデンサ (280) であって、該第3のトランジスタのソースが前記コンデンサの前記第1のターミナルに結合され、前記コンデンサの前記第2のターミナルが前記第1のトランジスタの前記ドレインに結合された、コンデンサ (280) と、

ゲート、ソース及びドレインを有する第4のトランジスタ (260) であって、該第4のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合され、該第4のトランジスタのゲートが前記第3のトランジスタの前記ソースに結合された第4のトランジスタ (260) と、

2つのターミナルを有する照明部材 (290) であって、前記第4のトランジスタのドレイン及び前記第3のトランジスタのドレインが前記照明部材の前記ターミナルのうちの1つに結合された照明部材 (290) と、
を含むディスプレイ (520)。

4. 各ピクセルが照明部材へのエネルギーの適用を制御する回路を含み、該回路が駆動トランジスタを含む複数のピクセルを有するディスプレイを照明する方法で

(4)

あって、

(a) データラインに電流を適用することによって前記ピクセルにデータをロードするステップと、

(b) 前記データを駆動トランジスタに結合されたコンデンサに記憶するステップと、

(c) 前記記憶データに従って前記照明部材を照明するステップと、
を含む方法。

5. 前記電流が電流源によって提供される請求項4記載の方法。

6. 複数のピクセルを含むディスプレイ (520) であって、各ピクセル (300) が、

ゲート、ソース及びドレインを有する第1のトランジスタ (360) であって該ゲートがセレクトライン (320) に結合され、該ソースがデータライン (310) に結合された第1のトランジスタ (360) と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ (350) であって、該第1のトランジスタのドレインが前記第1のコンデンサの前記第1のターミナルに結合された第1のコンデンサ (350) と、

ゲート、ソース及びドレインを有する第2のトランジスタ (365) であって、該第2のトランジスタのソースがV_{DD}ライン (390) に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合された第2のトランジスタ (365) と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ (355) であって、前記第2のトランジスタのゲートが該第2のコンデンサの該第1のターミナルに結合され、前記第2のトランジスタのソースが該第2のコンデンサの該第2のターミナルに結合された第2のコンデンサ (355) と、

ゲート、ソース及びドレインを有する第3のトランジスタ (370) であって、
、該第3のトランジスタのゲートがオートゼロライン (330) に結合され、該第3のトランジスタのソースが前記第2のトランジスタの前記ゲートに結合され、
、該第3のトランジスタのドレインが、前記第2のトランジスタのドレインに結

(5)

合された第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合され、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合された第4のトランジスタ(375)と、

2つのターミナルを有する照明部材(380)であって、前記第4のトランジスタの前記ドレインが該照明部材のターミナルのうちの1つに結合された照明部材(380)と、

を含むディスプレイ。

7. 複数のピクセルを含むディスプレイ(520)であって、各ピクセル(400)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(445)であって、前記ゲートがセレクトライン(420)に結合され、前記ソースがデータライン(410)に結合された第1のトランジスタ(445)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(450)であって、該第1のトランジスタのドレインが該第1のコンデンサの第1のターミナルに結合された第1のコンデンサ(450)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(460)であって、該第2のトランジスタのソースがVSWPライン(440)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合された第2のトランジスタ(460)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(455)であって、該第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、該第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(455)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(465)であって、該第3のトランジスタのゲートがオートゼロライン(430)に結合され、該第3のトランジスタのソースが前記第2のトランジスタのゲートに結合され、該

(6)

第3のトランジスタのドレインが前記第2のトランジスタのドレインに結合された第3のトランジスタ（465）と、

2つのターミナルを有する照明部材（470）であって、前記第2のトランジスタのドレインが該照明部材のターミナルのうちの1つに結合された照明部材（470）と、

を含むディスプレイ。

8. 複数のピクセルを有するディスプレイを照明し、各ピクセルが照明部材へのエネルギーの適用を制御するための回路を含み、前記回路が駆動トランジスタを含む複数のピクセルを有するディスプレイを照明する方法であって、

（a）データラインに基準電圧を適用することによって、駆動トランジスタのためのオートゼロの電圧を決定するステップと、

（b）前記基準電圧を前記データラインのデータ電圧に切り換えることによって、ピクセルの上のデータをローディングするステップと、

（c）駆動トランジスタに結合されたコンデンサに前記データを記憶するステップと、

（d）前記記憶データに従って前記照明部材を照明するステップと、
を含む方法。

9. 2つのターミナルを有する照明部材を駆動する回路（300）であって、

ゲート、ソース及びドレインを有する第1のトランジスタ（360）であって、該ゲートはセレクトライン（320）を接続するためのものであり、該ソースはデータライン（310）を接続するためのものである第1のトランジスタ（360）と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ（350）であって、前記第1のトランジスタのドレインが該第1のコンデンサの第1のターミナルに結合された第1のコンデンサ（350）と、

ゲートソース及びドレインを有する第2のトランジスタ（365）であって、

該第2のトランジスタのソースがV_{DD}ライン（390）に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合され

(7)

た第2のトランジスタ(365)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(355)であって、前記第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、前記第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(355)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(370)であって、該第3のトランジスタの前記ゲートがオートゼロライン(330)結合されるためのものであり、該第3のトランジスタのソースは前記第2のトランジスタのゲートに結合され、該第3のトランジスタのドレインは前記第2のトランジスタの前記ドレインに結合されている第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合されるものであり、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合されており、該第4のトランジスタのドレインが照明部材に結合されるためのものである第4のトランジスタ(375)と、を含む回路(300)。

10. ディスプレイコントローラ(510)と、

前記ディスプレイコントローラに結合されたディスプレイ(520)と、を含むシステム(500)であって、

前記ディスプレイが複数のピクセルを含み、該ピクセル(300)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(360)であって該ゲートがセレクトライン(320)に結合され、該ソースがデータライン(310)に結合された第1のトランジスタ(360)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(350)であって、前記第1のトランジスタのドレインが前記第1のコンデンサの第1の

ターミナルに結合された第1のコンデンサ(350)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(365)であって、該第2のトランジスタのソースがV_{DD}ライン(390)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合さ

(8)

れた第2のトランジスタ(365)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(355)であって、前記第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、該第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(355)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(370)であって、該第3のトランジスタのゲートがオートゼロライン(330)を結合し、該第3のトランジスタのソースが前記第2のトランジスタのゲートに結合し、該第3のトランジスタのドレインが前記第2のトランジスタのドレインに結合されている第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合され、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合された第4のトランジスタ(375)と、

2つのターミナルを有する照明部材(380)であって、前記第4のトランジスタのドレインが、前記照明部材の前記ターミナルのうちの1つに結合された照明部材(380)と、

を含むシステム(500)。

11. 複数のピクセルを含むディスプレイ(520)であって、各ピクセル(700)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(710)であって、該ゲートがセレクトライン(770)に結合され、該ソースがデータライン(760)に結合された第1のトランジスタ(710)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(720)であって、前記第1のトランジスタのドレインが該第2のトランジスタのゲートに結合された第2のトランジスタ(720)と、

2つのターミナルを有するレジスタ(750)であって、前記第2のトランジスタのソースが該レジスタのターミナルのうちの1つに結合されたレジスタ(7

(9)

50) と、

2つのターミナルを有する照明部材(740)であって、前記第2のトランジスタのドレインが該照明部材のターミナルのうちの1つに結合された照明部材(740)と、を含むディスプレイ(520)。

【発明の詳細な説明】

アクティブマトリックス発光ダイオードピクセル構造及び方法

本出願は、1997年4月23日に提出された米国仮出願第60/044,174号の利益を主張する。その内容は本明細書に援用されている。

本発明は、契約番号F 33615-96-2-1944の下、米国政府の支持を得てなされた。米国政府は、本発明において確かな (certain) 権利を有する。

本発明は、アクティブマトリックス発光ダイオードピクセル構造に関する。更に詳細には、本発明は、ピクセル構造の「駆動トランジスタ」において、電流不均一性及び閾値電圧変化を低減するピクセル構造、及び前記アクティブマトリックス発光ダイオードピクセル構造を動作する方法に関する。

開示の背景

マトリックスディスプレイは当該技術においてかなり知られており、図1で示すように、マトリックスアドレッシングを使用してピクセルが照明される (illuminate)。代表的なディスプレイ100は、行列（ロー及びカラム）に配置された複数のピクチャ又は表示部材（ピクセル）160を含む。ディスプレイは、カラムデータ発生装置110及びローセレクト発生装置120を組み込んでいる。動作中、各ローはローライン130を通して順に起動され、対応するカラムライン140を用いて対応するピクセルが起動させられる。パッシブマトリックスディスプレイでは、ピクセルの各ローは順に1つずつ照明されるが、アクティブマトリックスディスプレイでは、ピクセルの各ローは、最初にデータと共に連続してロードされる。

例えばラップトップコンピュータといったポータブルなディスプレイの使用が増加し、種々のディスプレイテクノロジー（例えば液晶ディスプレイ (LCD) 及び発光ダイオード (LED) ディスプレイ）が、採用されてきている。これらの2つの技術の重要な差異は、LEDが発光装置であって、非発光装置 (LCD等) よりもパワー効率上の利点を有することである。LCDにおいて、蛍光性の

バックライトは、ディスプレイが使用中である持続時間全体でオンであり、ピクセルを「オフ」するためにさえパワーを消費する。これに対して、LED（又は

(11)

OLED) ディスプレイは、起動されたピクセルのみを照明し、「オフ」ピクセルを照明しないことによってパワーを節約する。

OLEDピクセル構造を採用したディスプレイは、パワー消費量を低減することができるが、このようなピクセル構造は強度に不均一性を示す可能性があり、それは、製造による駆動トランジスタ及びトランジスタ不均一性の閾値電圧ドリフトに起因している。しかし、OLEDの明るさがOLEDを通過する電流に比例していることが判った。

従って、ピクセル構造の「駆動トランジスタ」における電流不均一性及び閾値電圧変化を低減するピクセル構造及び付随する方法が、当該技術に必要である。

発明の概要

本発明の一実施形態では、電流源がLED (OLED) ピクセル構造の中に組み込まれており、ピクセル構造の駆動トランジスタでの電流不均一性及び閾値電圧変化を低減する。電流源はデータラインに結合されており、そこでは、一定の電流が最初にプログラムされており、それから収集される。

代替の実施形態では、オートゼロ (auto zero) 電圧を決定して記憶するオートゼロフェーズで、基準電圧を最初に適用することによって一定の電流が達成される。オートゼロの電圧は、駆動トランジスタの閾値電圧を効果的に説明する。次に、同じ基準電圧に関連するデータ電圧が、ピクセルを照明するために、今、適用される。

他の実施形態では、レジスタがLED (OLED) ピクセル構造内に組み込まれており、駆動トランジスタの閾値電圧に対する、OLEDを通過した電流の依存の感度を下げるようになっている。

図面の簡単な説明

本発明の教示内容は、添付図面に関連して、以下の詳細な説明を考慮することによって容易に理解されることができる。

図1は、マトリックスアドレッシングインタフェースのブロック図である。

図2は、本発明のアクティブマトリックスLEDピクセル構造の回路図である。

。

(12)

図3は、本発明のアクティブマトリックスLEDピクセル構造の代替の実施形態の回路図である。

図4は、本発明のアクティブマトリックスLEDピクセル構造の他の代替の実施形態の回路図である。

図5は、本発明の複数のアクティブマトリックスLEDピクセル構造を有するディスプレイを使ったシステムのブロック図である。

図6は、図2のアクティブマトリックスLEDピクセル構造の代替の実施形態の回路図である。

図7は、本発明のアクティブマトリックスLEDピクセル構造の代替の実施形態の回路図である。

理解を容易にするために、図に共通の同一の部材を示すために可能なところでは同一の参照数字を使用した。

詳細な説明

図2は、本発明のアクティブマトリックスLEDピクセル構造200の回路図を示す。好ましい実施形態において、アクティブマトリックスLEDピクセル構造は、例えば、アモルファス又はポリシリコンを使用して製造されるトランジスタである薄膜トランジスタ(TFT)を使用して実行される。同じように、好ましい実施形態において、アクティブマトリックスLEDピクセル構造は、有機発光ダイオード(OLED)を組み込んでいる。本ピクセル構造は薄膜トランジスタ及び有機発光ダイオードを使用して実行されるが、本発明がトランジスタ及び発光ダイオードの他のタイプを使用して実行されることが理解されなくてはならない。例えば、他の材料を使用して製造されるトランジスタが上述したように閾値不均一性を示するならば、本発明は、照明部材を通して一定の電流を提供するために使われることができる。

本発明を、単一のピクセル又はピクセル構造として下に示すが、ピクセルはディスプレイを形成するために他のピクセルと(例えば配列で)使用することができることを理解しなければならない。更に、下の図は特定のトランジスタ形状を示すが、トランジスタのソースが電圧サインに対応することを理解されなければ

ならない。

図2について述べる。ピクセル構造200は、3つのPMOSトランジスタ240、250、260、NMOSトランジスタ270、コンデンサ280及びLED (OLED) 290 (光部材) を含む。セレクトライン210は、トランジスタ240、250及び270のゲートに結合されている。データラインはトランジスタ250のソースに結合され、+V_{DD}ラインはトランジスタ270のドレインに結合されている。OLED 290の1つの電極は、トランジスタ240及び260のドレインに結合されている。トランジスタ240のソースは、トランジスタ260のゲート及びコンデンサ280の1つのターミナルに結合されている。最後に、トランジスタ250のドレイン、トランジスタ270のソース、トランジスタ260のソース及びコンデンサ280の1つのターミナルは、全て1つに結合されている。

本ピクセル構造200は、大きな閾値電圧 (V_t) 不均一性存在下で、均一な電流駆動を提供する。言い換えると、OLEDを横切って均一な電流を維持し、ディスプレイの強度の中で均一性を確保することが望ましい。

より詳細には、OLEDピクセル構造は、2つのフェーズ、ロードデータフェーズ及び連続照明フェーズにおいて動作される。

ロードデータフェーズ

ピクセル構造200は、適当なセレクトライン210を駆動させることによってデータがロードされ得る。即ち、セレクトラインが「ロー」にセットされると、トランジスタP4 (240) は「オン」にされ、OLED 290の陽極側の電圧がトランジスタP2 (260) のゲートに送られる。同時に、トランジスタP1 (250) も、「オン」にされ、データライン220からの一定の電流がトランジスタP2 (260) 及びOLED 290の両方を流れる。即ち、トランジスタ260は、電流源230によって駆動された電流を下げるためにオンにする。

データラインを駆動する電流源230は、外部のデータによってプログラムされている。トランジスタ260 (駆動トランジスタ) のソース電圧へのゲートは、次に電流を駆動するために必要な電圧に定まる。同時に、トランジスタN1 (2

(14)

70)は「オフ」にされて、電源+ V_{DD} はOLED290から切り離される。一定の電流源230も、ソースからゲートへの電圧を自己調整し、固定オーバドライブ値(電圧)をトランジスタ260に適応させ、ポリシリコンTFT260の閾値変化を補う。オーバドライブ電圧は、データを示す。順番に、データは記憶コンデンサ C_S 280の上で、適切に記憶される。これでデータのためのロード又はライトサイクルを完了する。

連続照明フェーズ

セレクトラインが「ハイ」にセットされると、P1(250)及びP4(240)の両トランジスタは「オフ」にされ、トランジスタN1(270)は「オン」にされる。トランジスタ260の電源電圧がわずかに変化する可能性があるが、トランジスタ260のソースからゲートへの電圧が照明サイクル中の電流レベルを制御する。コンデンサ280を横切るトランジスタ270の V_{SG} は、即座に変わることができない。このように、トランジスタ260のゲート電圧はソース電圧を追尾し、ソースからゲートへの電圧が、全体のロード及び照明フェーズを通して維持される。ポリシリコンTFTの漏れ電流及びOLEDのグレースケール輝度に要求される電圧解像度は、フレームタイムの有効データを保持するために必要な記憶コンデンサのサイズを決定する。好ましい実施形態において、コンデンサは0.25 p fのオーダーにある。即ち、トランジスタ260の電流漏れを考慮するのにコンデンサは十分大きいであろう。これで照明フェーズピクセル動作を完了する。

各データ/カラムライン220はそれ自身のプログラムされた一定の電流源230を有する点に留意する必要がある。照明フェーズ中に、データラインに後続のプログラムされた電流源が送られ、全てのピクセルの次のローをロードして、前のローのピクセルが照明フェーズの中で全フレーム時間動作している。このように、図2のピクセル構造は、2.5のラインを有する1つのNMOSトランジ

スタ及び3つのPMOSトランジスタのみを必要とする。(隣接のピクセルと共有されうる V_{DD} 電圧供給、セレクトライン、データライン電流ソース)。

代替として、図6は、図2のピクセル構造が、全てのPMOSトランジスタを

(15)

有して実行される実施例を示し、それは、PMOS又はNMOSプロセスのみのどちらを使用しても経済的である。NMOSトランジスタN1は、PMOS P3トランジスタ610で置換されている。しかし、追加のライン（制御ライン）620はトランジスタ610のゲートに結合され、追加のPMOSトランジスタをアドレッシングし、もって合計3.5のライン（即ち追加のPMOSゲートを制御するための追加の電圧供給）を必要とする。

要するに、図2及び図6のピクセル構造は、トランジスタ260の V_{SG} 上での自調整／トラッキング機構によって、またOLED290を通して一定の電流源を供給することによって、ポリシリコンTFT及びOLEDの両方の閾値変化を補うためように設計されている。実際、図2及び図6のピクセル構造は、ロード及び照明フェーズの両方の最中に高電圧供給を有する適当な動作を達成することができる。これらのピクセル構造は、OLED又はピクセルポリシリコンTFTの両方での不安定にもかかわらず、良好なグレースケール均一性及び高いライフタイムを有する高品質のOLEDディスプレイを設計するために実行されることができる。

図3は、本アクティブマトリックスピクセル構造の代替の実施形態を示す。代替の実施形態において、データライン電圧は、ピクセル構造内で電流に変換され、図2及び図6で上述した電流源の実施のような電圧電流変換器を必要としない。

図3について述べる。ピクセル構造300は、4つのPMOSトランジスタ（360、365、370、375）、2つのコンデンサ350及び355及びLED（OLED）380を含む。セレクトライン320は、トランジスタ360のゲートに結合している。データライン310はトランジスタ360のソースに結合され、 $+V_{DD}$ ラインはトランジスタ365のソース及びコンデンサ355の1つのターミナルに結合されている。オートゼロライン330はトランジスタ370のゲートに結合され、照明ラインはトランジスタ375のゲートに結合

されている。OLED280の1つの電極は、トランジスタ375のドレインに結合されている。トランジスタ375のソースは、トランジスタ365及び37

(16)

0のドレインに結合されている。トランジスタ360のドレインは、コンデンサ350の1つのターミナルに結合されている。最後に、トランジスタ365のゲート、トランジスタ370のソース、コンデンサ350の1つのターミナル及びコンデンサ355の1つのターミナルは、全て結合されている。

より詳細には、図3は3つのフェーズの中で動作されるピクセル構造300を示す。即ち、1) オートゼロフェーズ、2) ロードデータフェーズ、3) 照明フェーズである。

オートゼロ

オートゼロライン330及び照明ライン340が「ロー」にセットされると、トランジスタP2(375)及びP3(370)は、「オン」に変わり、トランジスタP1(365)のドレイン側の電圧は、ゲートに送られ、一時的にダイオードに連結される。データライン310は「基準電圧」にセットされ、セレクトライン320は「ロー」にセットされる。基準電圧は任意にセットされることができ、それは最高データ電圧より大きくなくてはならない。

次に、照明ライン340は「ハイ」にセットされ、トランジスタP2 375が「オフ」にされる。ピクセル回路は、今、トランジスタP1 365(駆動トランジスタ)の閾値に定まり、もってデータラインの基準電圧とコンデンサC_C350のトランジスタP1 365の閾値電圧との間の差異である電圧(オートゼロ電圧)を記憶する。これによって、ゲート電圧、又はより正確にはトランジスタ365のV_{SG}をトランジスタ365の閾値電圧にセットする。これは、次に、トランジスタP1(365)上に、閾値電圧変化に関係なく固定オーバドライブ電圧を提供する。最後に、オートゼロライン330は「ハイ」にセットされ、トランジスタP1 365のゲートを絶縁する。オートゼロの目的は、これから達成される。

ロードデータフェーズ

オートゼロフェーズの終わりに、セレクトラインは「ロー」にセットされ、データラインは「基準電圧」であった。今、データライン310は、データ電圧にセットされる。データ電圧は、トランジスタP1(365)のゲート上にコンデ

(17)

ンサC₃₅₀を通して送られる。次に、セレクトラインは、「ハイ」にセットされる。このように、トランジスタ365のV_{SG}は、一定の電流レベルを提供するために、トランジスタ365に固定オーバドライブ電圧を提供する。これはロードデータフェーズを終了し、ピクセルは照明用となる。

デセレクト (deselect、選択から外す) ローフェーズ中の連続照明データフェーズ

データ電圧がトランジスタP1 (365) のゲート上で記憶されると、照明ライン340が「ロー」にセットされ、トランジスタP2 375が「オン」にされる。トランジスタP1 365によって供給される電流は、OLED380を通して流れることができるようになる。要するに、トランジスタ365は一定の電流源のように機能する。これで照明フェーズが完了する。

図4に、本アクティブマトリックスピクセル構造の代替の他の実施形態を示す。代替の実施形態において、データライン電圧はまた、ピクセル構造の中で電流に変換され、電流源の図2及び6で上述したように、電流源での実施のような電圧電流変換器を必要としない。

図4について述べる。ピクセル構造400は、3つのPMOSトランジスタ(445、460、465)、2つのコンデンサ450及び455及びLED(OLED)470を含む。セレクトライン420は、トランジスタ445のゲートに結合している。データライン410はトランジスタ445のソースに結合され、VSWPラインはトランジスタ460のソース、コンデンサ455の1つのターミナルに結合される。オートゼロライン430は、トランジスタ465のゲートに結合されている。OLED470の1つの電極は、トランジスタ465及び460のドレインに結合されている。トランジスタ445のドレインは、コンデンサ450の1つのターミナルに結合されている。最後に、トランジスタ4

60のゲート、トランジスタ465のソース、コンデンサ450の1つのターミナル及びコンデンサ455の1つのターミナルは、全て結合されている。

より詳細に、図4は、3つのフェーズの中で動作されるピクセル構造400を示す。即ち、1) オートゼロフェーズ、2) ロードデータフェーズ、3) 照明フ

(18)

フェーズである。

オートゼロ (VSWPによる) フェーズ

VSWP (供給を切り換える電圧) は「ローワ (より低い, lower) 電圧」に量「 ΔV 」だけセットされる。ここで、ローワ電圧は、OLED 470 が少量の電流 (例えば、ナノアンプのオーダで、OLED 特性に依存して) を少しずつ流すように選択される。ローワ電圧は、コンデンサに結合された C_C (450) とトランジスタ P4 (445) との間の浮動ノード (f によるダイリキュションなしでトランジスタ P1 (460) $V_G(P1)$ のゲートを通して結合される。オートゼロライン 430 は、次に「ロー」セットされる。トランジスタ P1 (460) (駆動トランジスタ) は、トランジスタ P3 (465) を閉じることによってダイオードとして一時的に連結される。セレクトライン 420 は次に「ロー」にセットされ、「基準電圧」はデータライン 410 に適用される。基準電圧は任意にセットされることができ、しかし、最高データ電圧より大きくなくてはならない。ピクセル回路は、今、トランジスタ P1 460 の閾値に定まることができる。最後に、オートゼロライン 430 は次に「ハイ」にセットされ、トランジスタ P1 460 のゲートを絶縁する。オートゼロフェーズの効果は、記憶装置にコンデンサ C_C 450 に電圧 (オートゼロ電圧) を記憶することであり、それはデータライン上基準電圧と P1 460 のトランジスタ閾値電圧との間での差異を表す。これはオートゼロフェーズを完了する。

ロードデータフェーズ

オートゼロのフェーズの終わりで、セレクトラインは「ロー」にセットされ、データラインは「基準電圧」であった。次に、データラインは、基準電圧から、データにおける変化がデータに参照されるローワ電圧 (データ電圧) まで切り換

えられる。順番に、データ電圧 (データ入力) はロードされてコンデンサ 450 及び 455 を通してトランジスタ P1 460 のゲートに結合される。トランジスタ 460 の電圧 V_{SG} は、トランジスタ P1 (460) に、固定オーバドライブ電圧を提供し、OLED 470 電流を駆動する。即ち、データ電圧は、トランジスタ P1 460 の上でオーバドライブ電圧に変換される。コンデンサ 450 上

(19)

で記憶される電圧が、トランジスタP1 460の閾値電圧の原因であるので、オーバドライブ電圧全体が、今、トランジスタP1の閾値電圧と独立である。セレクトライン420は、次に「ハイ」にセットされる。これはロードデータフェーズを完了する。

デセレクトローフェーズ中に連続的に、データを照明する

データロードフェーズの完了で、トランジスタP1 460のゲートが、今、容量結合を除いて絶縁され、OLEDを駆動するためのオーバドライブ電圧がコンデンサC_S455に記憶される。次に、VSWPは最初のハイア（より高い、higher）電圧（照明電圧）に戻される。続いてVSWPが上がり、今、照明のためにOLEDを駆動する十分な電圧が存在する。即ち、セレクトライン420が「ハイ」にセットされると、トランジスタP3（465）及びP4（445）の両方は「オフ」に変えられ、データ電圧は以前のようにトランジスタ460のV_{SG}の上に記憶されたままである。ソースからゲートへの電圧V_{SG}(P1)は同様に全体の照明フェーズを通して維持され、それはOLEDを通しての電流レベルが一定のことを意味する。これで照明サイクルを完了する。

要するに、図3は、4つのPMOSトランジスタ及び3と1/2ラインを有する1つの結合コンデンサを使用するピクセル構造を開示する。（オートゼロライン及びVDDH電圧供給は、両方とも共有されることができる）。図4は、3つのPMOSトランジスタ及び2と1/2ラインを有する1つの結合コンデンサだけを使用したピクセル構造を開示する。（電源を切り換えるVSWPは、隣接のピクセルと共用する）これらの2つのピクセル構造の両方を照明、及びV_{SG}(P1)上のオートゼロとリクエストリング電流機構によって、ポリシリコンTFT及びOLEDの閾値変化を補うことができる前記の2つの（2）ピクセル構造も

、ポリシリコンNMOSの中で及びアモルファスNMOS設計の中で実行されることができる。

図3及び図4の2つの（2）ピクセル構造が、OLED又はピクセルポリシリコンTFTにおける不安定にもかかわらず、良好なグレースケール均一性及び長い寿命を有する高品質のOLEDを設計するために実行されることができる。

図7は、本発明のアクティブマトリックスLED 픽셀構造700の回路図を示す。好ましい実施形態で、アクティブマトリックスLED 픽셀構造は、薄膜トランジスタ (TFT) (例えばポリシリコン又はアモルファスシリコンを使用して製造されるトランジスタ) を使用して実行される。同様に、好ましい実施形態で、アクティブマトリックスLED 픽셀構造は、有機発光ダイオード (OLED) を組み込んでいる。本 픽셀構造は薄膜トランジスタ及び有機発光ダイオードを使用して実行されるが、本発明がトランジスタ及び発光ダイオードの他のタイプを使用して実行されることが理解されなければならない。

本 픽셀構造700は、大きな閾値電圧 (V_t) 不均一性存在下で、均一な電流駆動を提供する。換言すると、OLEDsを通して均一な電流を維持することが望ましく、もってディスプレイ強度における均一性が確保される。

図7について述べる。픽셀構造700は、2つのPMOSトランジスタ710及び720、コンデンサ730、レジスタ750及びLED (OLED) 740 (光部材) を含む。セレクトライン770は、トランジスタ710のゲートに結合されている。データライン760は、トランジスタ710のソースに結合されている。レジスタ750の1つのターミナルはトランジスタ720のソースに結合され、OLED 740の1つの電極はトランジスタ720のドレインに結合されている。最後に、トランジスタ710のドレイン、トランジスタ720のゲート及びコンデンサ730の1つのターミナルは、全て結合されている。

より詳細には、픽셀構造を含むローがアクティブローとして選択されるとき、セレクトライン770の論理的「ハイ」レベルは、トランジスタM1 710をオンにし、コンデンサC 730がデータライン760から電圧 V_g まで充電されることができるようになっている。ローがセレクトライン770で「ロー」レ

ベルによってデセレクトされた後、トランジスタM1をオフにし、コンデンサ730の電圧がフレーム時間のために記憶される。電圧がトランジスタM2 720のゲートに現れるので、それは、電流を、トランジスタ720を通し、ドレインに位置するOLED 740も通り抜けるようにセットする。

(21)

更に重要なことは、レジスタ750が本 픽セル構造で実行されることである。レジスタは、トランジスタ720のソースに結合されて、マイナスのフィードバック部材として機能する。個々の駆動トランジスタが異常に低い閾値電圧を有するならば、トランジスタは、OLEDにより多くの電流を通過する傾向があるが、追加の電流は、レジスタ750を横切る追加の電圧低下を引き起こし、もって電流を低減する。

相補的な影響が、異常に高い閾値電圧を有する駆動トランジスタに起こる。全体の影響は、電流の不均一性を低減することである。レジスタが、TF Tで達成される閾値電圧均一性より非常に良好な抵抗均一性を有して一般に形成されることができることが判った。1つの理由はTF T閾値電圧がアクティブなシリコン材料のトラップ密度に非常に敏感であるのに、レジスタの中で使用されるドーパされた層の抵抗はトラップ密度に対してそれほど敏感でないことである。測定値は、抵抗の百分率変化がポリシリコンディスプレイウェーハを横切って非常に小さいことを示し、抵抗が変わる範囲で、トランジスタ閾値と違って滑らかに変化することが予想される。

OLED740を通り抜ける電流は、輝度を決定する。しかし、TF Tを使用して 픽セルが実行されるとき、TF Tの閾値電圧も、上述のようライフにわたって変化することができることが観察された。加えて、TF T閾値電圧の初期不均一性があるであろう。閾値がOLEDを通して確定される電流に関して、電圧は強い影響を有しないので、トランジスタ710に関するそのような不均一性が問題でない点に留意する必要がある。これに対して、駆動トランジスタ720の閾値電圧における変化は、OLEDを通して直接に電流に影響を及ぼす。

より詳細には、電流、本 픽セル構造の中のOLEDを通り抜ける I_{OLED} は、以下のように表されることができる

$$I_{OLED} = \frac{K'}{2} \frac{W}{L} (V_g - V_t - I_{OLED} R)^2 \quad (1)$$

K' はトランジスタM2の固有相互コンダクタンスパラメータ、 W 及び L はその幅及び長さ、 V_t は閾値電圧、 V_g はデータラインからの電圧であり、レジスタ

(22)

R 7 5 0 は好ましい実施形態で 1 M の値を有する。しかし、抵抗値は、駆動トランジスタ特性に従って、1 0 0 K ~ 1 0 M であることができる。本ピクセル構造が、電流変動を、以下で述べる本発明のレジスタなしで可能な変動の 1 / 3 に低減することができる、観察された。

より詳細には、トランジスタ 7 2 0 のソースに結合されたレジスタを備え、閾値電圧変化 $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$ に対する、ダイオードを通じた電流の規準化された

感度は、以下の通りである。

$$-2/(V_g - V_t + I_{OLED} R). \quad (2)$$

可能な限りゲート電圧 V_g を増やすことは有益であるが、トランジスタ 7 2 0 が飽和内にとどまらなければならないという限界を有する。レジスタ (I_{OLDER}) を横切って電圧降下をもたらすことによって、閾値電圧変化への感度は、レジスタなしで達成可能なもの以下に低減されることができる。最終的に、項 (I_{OLDER}) は ($V_g - V_t$) よりも大きくなることができない。理由は、そのような結果がトランジスタ 7 2 0 がオフにされたこと意味するからである。従って、トランジスタ 7 2 0 のソースの中でレジスタを置くことによって達成されることができる感度における最大の低減は、2 のファクタである。

しかし、ソースの中にレジスタを置くことは、トランジスタ 7 2 0 の幅 W が増加することを認め、そのような増加は閾値電圧の標準偏差を低減する。固定最大ゲート電圧、 W は増加されることができるので、 σV_t 内の統計的低減からより

多くの利益を引き出す。このようにレジスタをトランジスタ 7 2 0 のソースに置くことによって、電流変動における低減は以下の (1)、(2) の影響の組合せ

を通して達成される。即ち (1) 感度を閾値変化 $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$ に低

減 (2 × 又は 5 0 % の低減である理論上の最大利益に制限)、及び、(2) 閾値変化 σV_t 自体の低減 (幾何学的及びキャパシタンス制約を除いて限界がない) である。

(23)

図5は、本発明の複数のアクティブマトリックスLEDピクセル構造200、300、400、600又は700を有するディスプレイ520を使ったシステム500のブロック図を示す。システム500は、ディスプレイコントローラ510及びディスプレイ520を含む。

より詳細には、ディスプレイコントローラは、汎用コンピュータとして実施されることができ、当該コンピュータは中央処理装置CPU512、メモリ514及び複数のI/O装置416（例えば、マウス、キーボード、記憶装置、例えば磁気及び光学の駆動装置、モデムなどを有している。ディスプレイ520を起動させるソフトウェア命令は、メモリ514にロードされることができ、CPU512によって実行されることができる。

ディスプレイ520は、ピクセルインタフェース522及び複数のピクセル（ピクセル構造200、300、400、600又は700）を含む。ピクセルインタフェース522は、ピクセル200、300、400、600又は700を駆動するために必要な回路を含む。例えば、ピクセルインタフェース522は図1で示したマトリクスアドレッシングインタフェースでありえる。

このように、システム500はラップトップコンピュータとして実行されることができる。代わりに、ディスプレイコントローラ510は、他の方法において実行することができ、それは、例えばマイクロコントローラ又はアプリケーション特定の集積回路（ASIC）、又はハードウェア及びソフトウェア命令の組合せである。要するに、システム500は、本発明のディスプレイを組み込んだより大きいシステム内で実行されることができる。

本発明はPMOSトランジスタを使用して記載したが、本発明がNMOSトランジスタを使用して実行されることができることは理解されなければならない。

なお、そこでは、関連した電圧は逆にされる。即ち、OLEDは、今、NMOS駆動トランジスタのソースに結合される。OLEDを裏返すので、OLEDのカソードは、透明な材料で作られなければならない。

本発明の教示内容を組み込んだ種々の実施形態を示して本明細書で詳細に記載したが、当業者は、容易にこれらの教示内容を組み込んだ多くの他の様々な実施

(24)

形態を工夫することができる。

【図1】

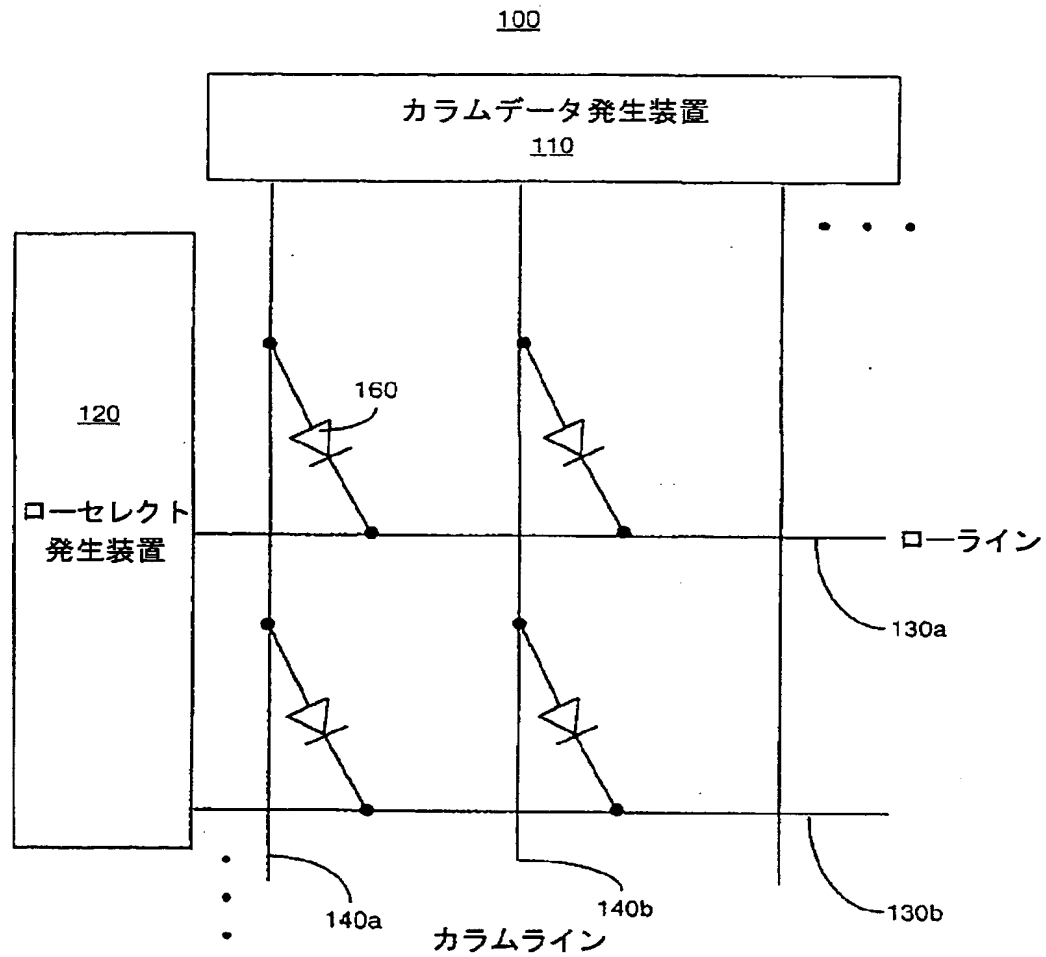


FIG. 1

(25)

【図 2】

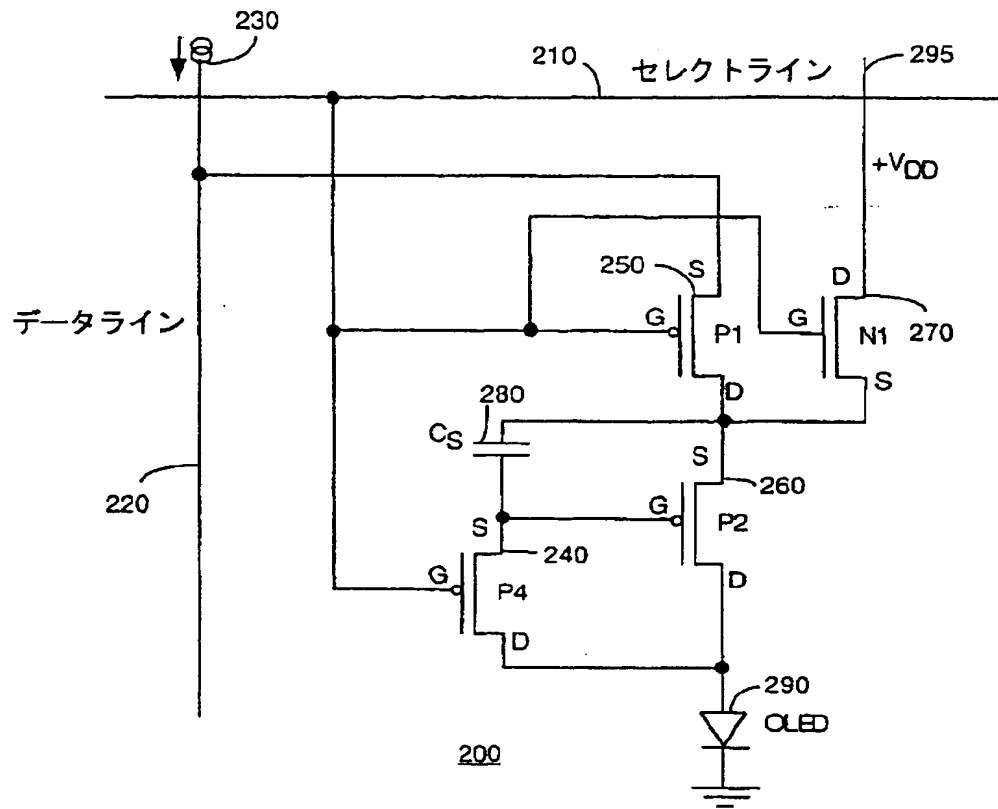


FIG. 2

(26)

【図 3】

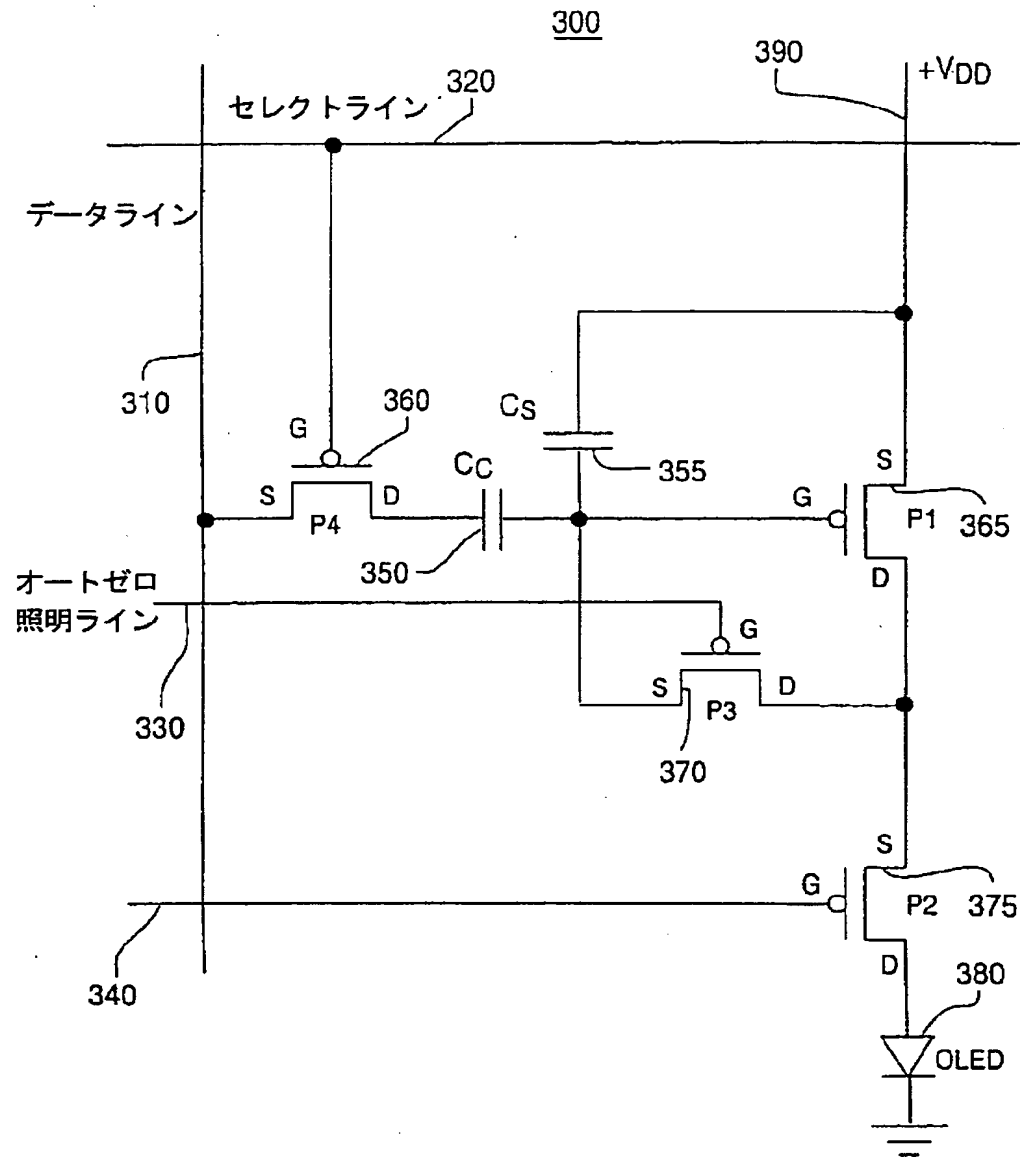


FIG. 3

(27)

【図 4】

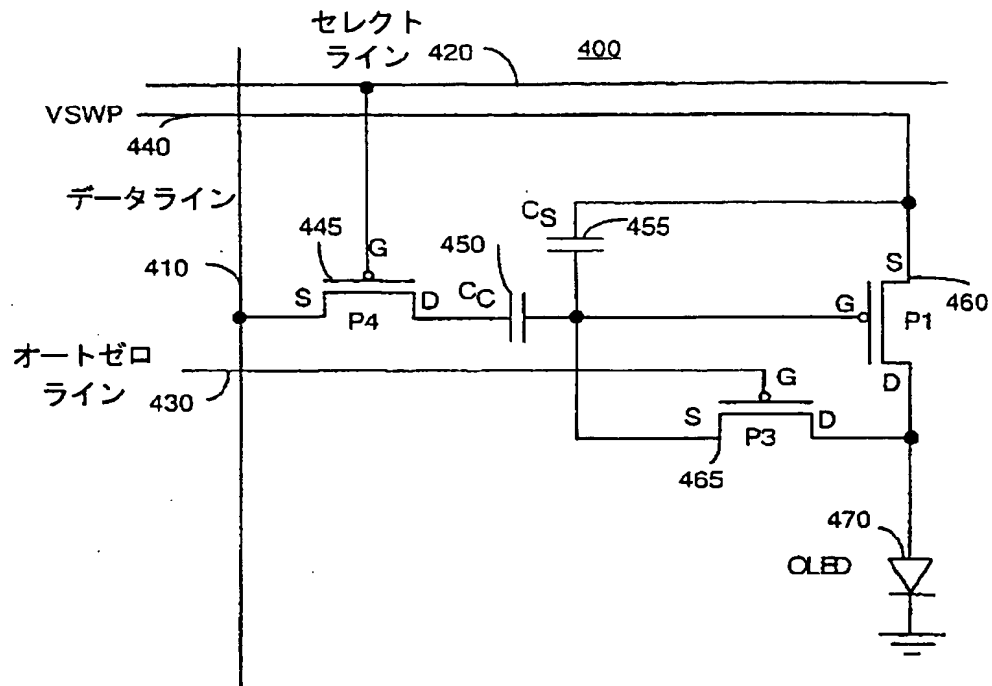


FIG. 4

【図 5】

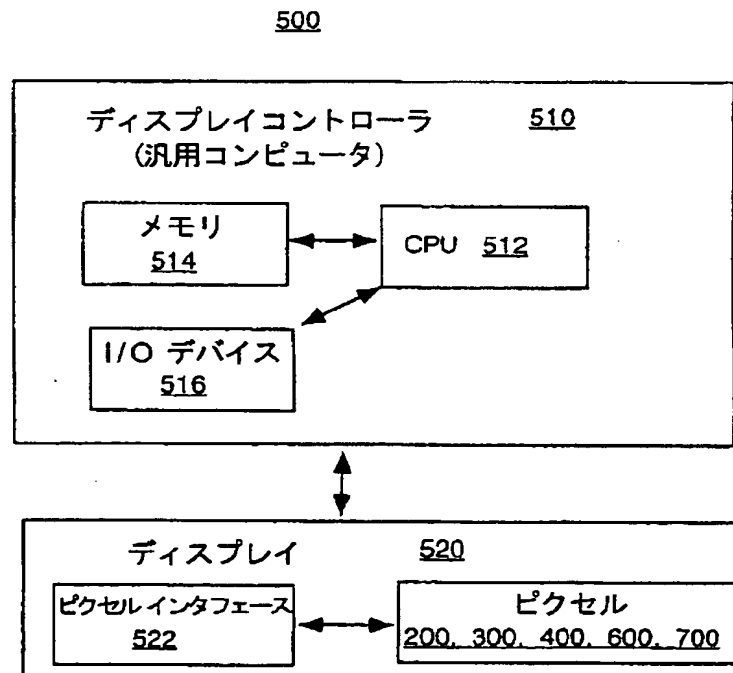


FIG. 5

(28)

【図 6】

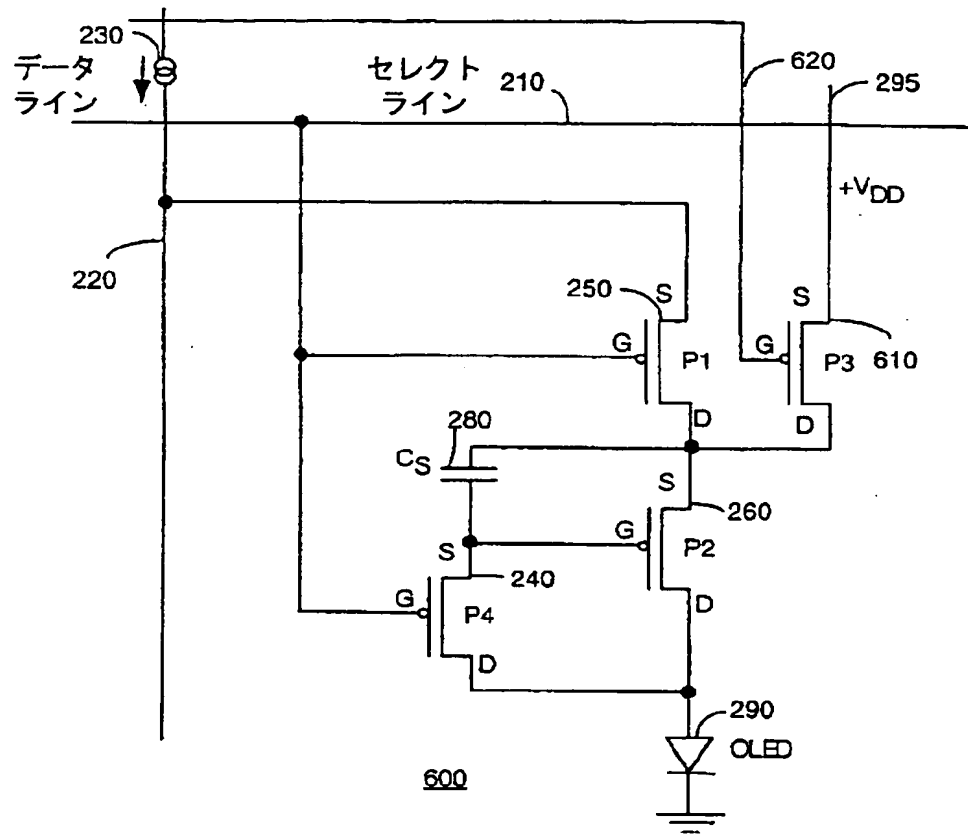


FIG. 6

【図 7】

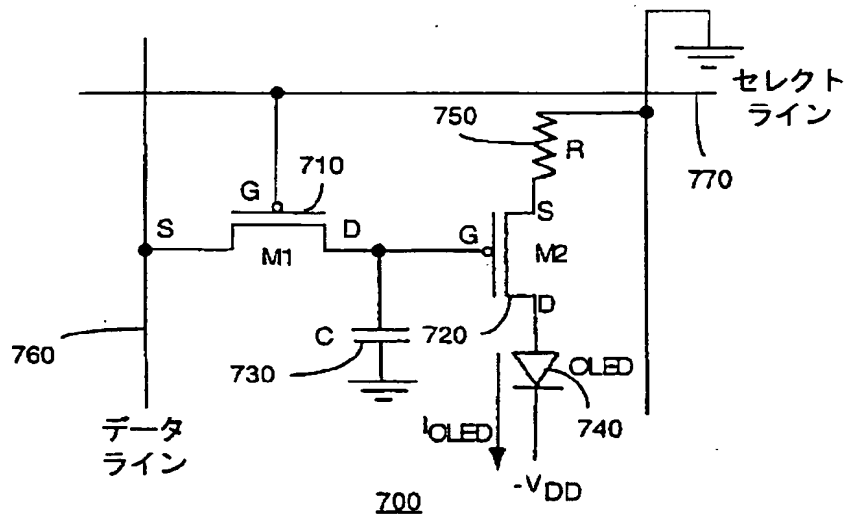


FIG. 7

(29)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/08367

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G09G 03/10

US CL. : 315/169.3, 169.1; 345/76, 92

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 315/169.3, 169.1, 164, 160; 345/76, 92, 77, 147

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
NONEElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
NONE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| X | US 5,302,966 A (STEWART) 12 April 1994 (12/04/94), see figures 2 and 4. | 11 |
| A | US 5,463,279 A (KHORMAEI) 31 October 1995 (31/10/95), see entire document. | 1-11 |
| A, P | US 5,684,365 A (TANG ET AL) 04 November 97 (04.11.97) see entire document. | 1-11 |
| X | US 5,095,248 A (SATO) 10 March 1992 (10/03/92), see figure 4. | 11 |

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "G" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search

16 JUNE 1998

Date of mailing of the international search report

31 AUG 1998

 Name and mailing address of the ISA/US
 Commissioner of Patents and Trademarks
 Box PCT
 Washington, D.C. 20231
 Facsimile No. (703) 305-7724

Authorized officer

 SA HAISSA PHILOGENE
 Telephone No. (703) 305-3485

(30)

フロントページの続き

- (31) 優先権主張番号 09/064,697
(32) 優先日 平成10年4月22日(1998. 4. 22)
(33) 優先権主張国 米国(US)
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR
(72) 発明者 スー, ジェイムズ, ヤーコング
アメリカ合衆国 ニュー ジャージー州
エディソン ハナ ロード 7107
(72) 発明者 スー, フーラング
アメリカ合衆国 ニュー ジャージー州
克蘭ベリー キングレット ドライブ
サウス 14
(72) 発明者 イプリ, アルフレッド, チャールズ
アメリカ合衆国 ニュー ジャージー州
プリンストン コツウォルド レーン 7
(72) 発明者 スチュワート, ロジャー, グリーン
アメリカ合衆国 ニュー ジャージー州
ネシャニック ステーション スキー ド
ライヴ 3